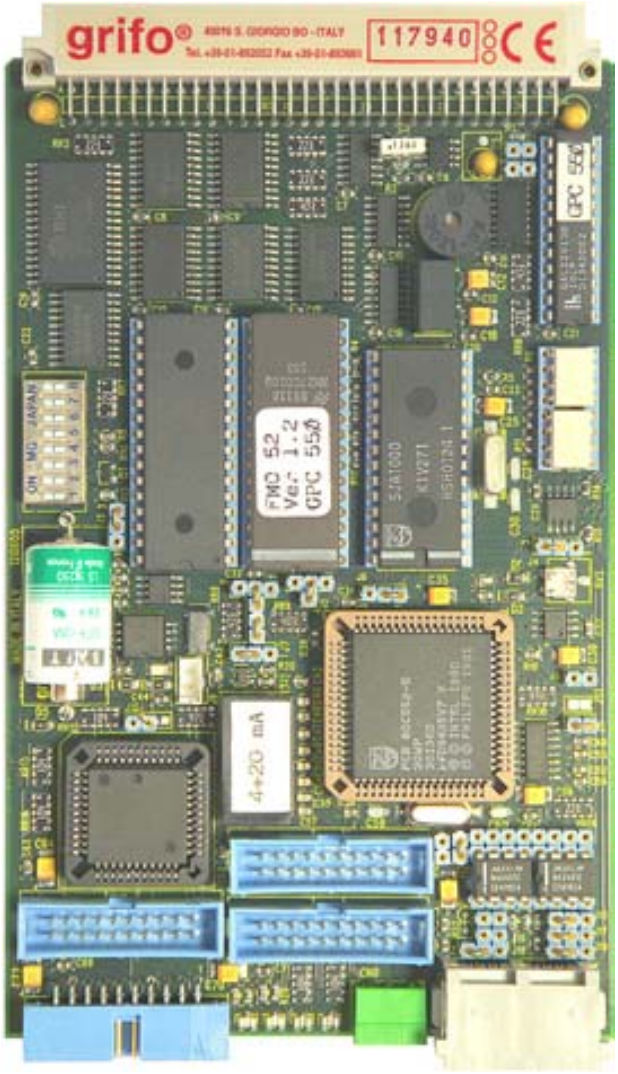
GPC® 550

General Purpose Controller 80C552

MANUALE TECNICO

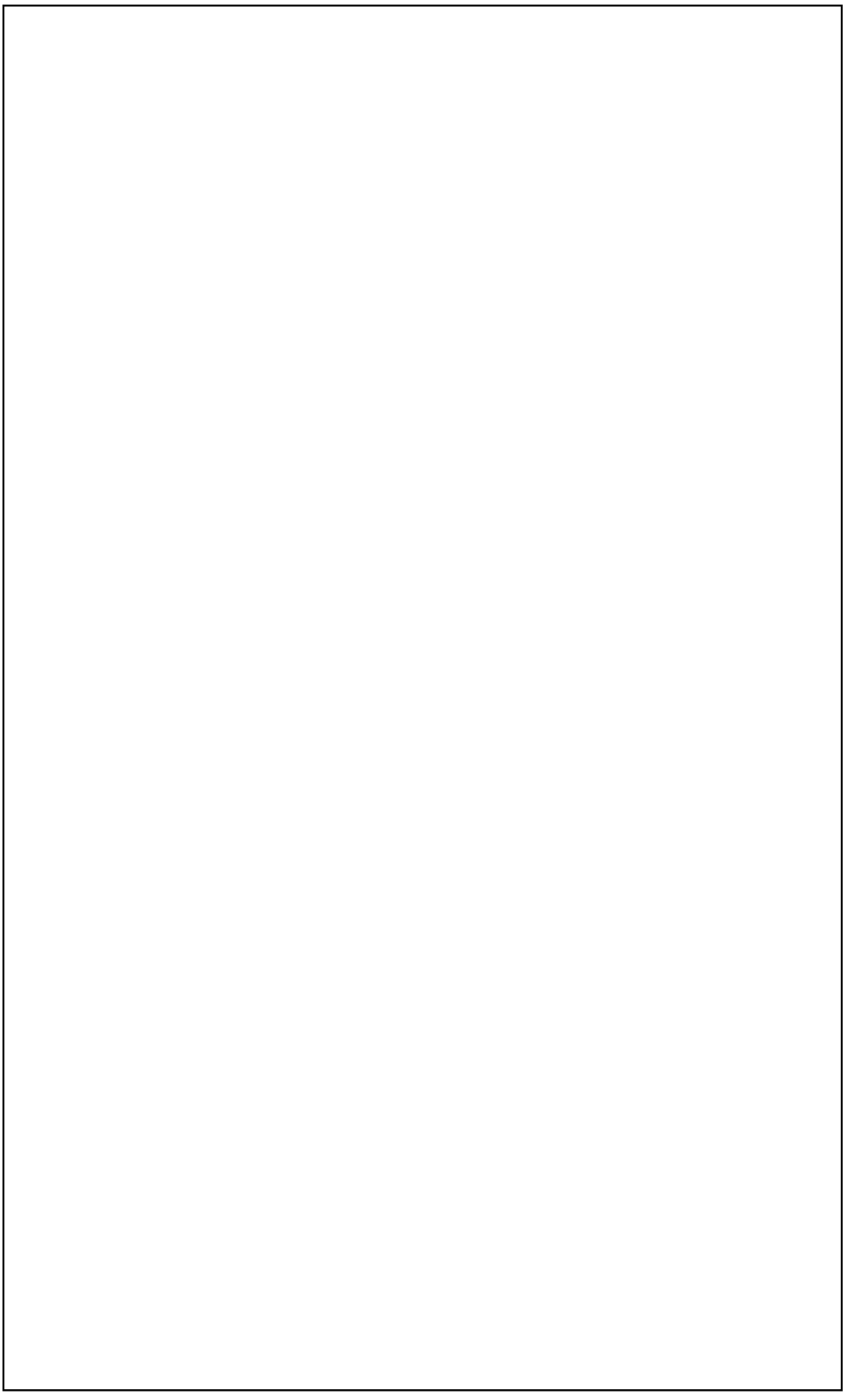


grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 550 Rel. 3.10 *Edizione 17 Maggio 2006*

abaco, **GPC®**, grifo®, *sono marchi registrati della ditta* grifo®



GPC® 550

General Purpose Controller 80C552

MANUALE TECNICO

Scheda in formato singola Europa da 100x160mm con interfaccia per il **BUS industriale Abaco®**. Microcontrollore **Philips 80C552**, da **22M Hz** o compatibili. Vari dispositivi di memoria: **128K** EPROM; **128K** SRAM; **512K** EPROM, FLASH, EEPROM o SRAM; fino a **1K** EEPROM seriale; **256 bytes** SRAM seriale. Circuiteria di gestione memorie (**MMU**). **Real Time Clock** in grado di generare **interrupts**. Circuiteria di **back up** per SRAM e RTC con batteria al **Litio** a bordo ed esterna. **Watch dog** hardware. 8 linee di **A/D** converter da **10 bits**, con fondo scala **+2,49V**, oppure **0÷20** o **4÷20 mA.**, tempo di conversione **27µs**. **4 LED** di stato ed attività e **BUZZER**. 1 **dip switch** da 8 vie acquisibile via software. **1** linea seriale hardware in **RS 232**, **RS 422**, **RS 485**, **Current Loop** passivo. **1** seriale software in **RS 232**. **40** linee di **I/O TTL**, settabili da software, di cui 24 gestite dal **PPI 82C55** e 16 gestite dalla CPU (alcune di queste linee hanno duplice funzione). 2 uscite indipendenti di **PWM** da 8 bits. **3 timer counter** da 16 bits. 2 linee **I2C BUS**. Linea **CAN** opzionale basata sul controllore PHILIPS **SJA 1000**, con bit rate fino a **1 MBit/sec**. Driver di linea CAN con separazione galvanica.

9 connettori standard, disposti principalmente sul frontale della scheda. Unica tensione di alimentazione a **5Vdc**, **340 mA** massimi. Possibilità di funzionamento a basso cosumo in modalità **idle** o **power down**.

Vasta disponibilità di software di **sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**. Tra i pacchetti disponibili si possono citare: **GET51**; **Monitor Debugger**; **Assemblatori**; compilatori **BASIC**; compilatori **C**; compilatori **PASCAL**; linguaggi con logica a contatti **Ladder**; Sistemi Operativi in tempo reale; ecc.

grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 550 Rel. 3.10 *Edizione 17 Maggio 2006*

abaco, **GPC®**, **grifo®**, *sono marchi registrati della ditta* **grifo®**

Vincoli sulla documentazione grifo® Tutti i Diritti Riservati

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della grifo®.

IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante grifo® non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.
grifo® altresi si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per grifo®.
Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:

Attenzione: Pericolo generico

Attenzione: Pericolo di alta tensione

Attenzione: Dispositivo sensibile alle cariche elettrostatiche

MARCHI REGISTRATI

abaco, **GPC®**, grifo® : sono marchi registrati della grifo®.
Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INDICE GENERALE

INTRODUZIONE 1

VERSIONE SCHEDA 3

INFORMAZIONI GENERALI 4
- PROCESSORE DI BORDO 5
- MEMORIE 6
- A/D CONVERTER 6
- LOGICA DI CONTROLLO 8
- BUS ABACO® 8
- LINEE DI I/O DIGITALI 8
- CLOCK 9
- CONFIGURAZIONE SCHEDA 9
- LINEE PWM 9
- COMUNICAZIONE SERIALE 10
- LINEA CAN 10
- LINEE I2C BUS 11

SPECIFICHE TECNICHE 12
- CARATTERISTICHE GENERALI 12
- CARATTERISTICHE FISICHE 12
- CARATTERISTICHE ELETTRICHE 13

INSTALLAZIONE 14
- CONNESSIONI 14
  - CN9 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP 14
  - CN3 - CONNETTORE PER I/O DEL PPI E I2C BUS SW 15
  - CN7 - CONNETTORE PER I/O DEL PPI 16
  - CN1 - CONNETTORE PER I/O DELLA CPU 18
  - CN4A - CONNETTORE PER LINEA SERIALE A 20
  - CN4B - CONNETTORE PER LINEA SERIALE B 26
  - CN5 - CONNETTORE PER BUS ABACO® 28
  - CN2 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM 30
  - CN8 - CONNETTORE PER LINEA CAN 32
- INTERFACCIAMENTO CONNETTORI CON IL CAMPO 36
- COLLEGAMENTO LINEE I2C BUS 37
- TRIMMER E TARATURE 39
- TEST POINT 39
- SELEZIONE TIPO INGRESSI ANALOGICI 40
- INTERFACCIE PER I/O DIGITALI 40
- SEGNALAZIONI VISIVE 41
- JUMPERS 42
  - JUMPERS A 2 VIE 43
  - JUMPERS A 3 VIE 44
  - JUMPERS A 4 VIE 44
  - JUMPERS A 9 VIE 46

JUMPERS A STAGNO 46
BACK UP 46
INTERRUPTS 48
ALIMENTAZIONE 48
RESET, POWER GOOD, WATCH DOG 49
SELEZIONE COMUNICAZIONE SERIALE 50
SELEZIONE MEMORIE 52
COLLEGAMENTO LINEA CAN 54

DESCRIZIONE SOFTWARE 56

MAPPAGGI ED INDIRIZZAMENTI 58
MAPPAGGIO DELLE RISORSE DI BORDO 58
MAPPAGGIO BUS ABACO® 58
MAPPAGGIO PERIFERICHE 59
MAPPAGGIO MEMORIE 59
MAPPAGGIO 0 60
MAPPAGGIO 1 61
MAPPAGGIO 2 62
MAPPAGGIO 3 63

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO 64
I2C BUS SOFTWARE 64
LEDS DI ATTIVITA' 64
BUZZER 65
EEPROM SERIALE 65
PERIFERICHE DELLA CPU 65
INGRESSI DI CONFIGURAZIONE 66
SRAM TAMPONATA + RTC SERIALE 66
COMUNICAZIONE RS 422, RS 485 68
SERIALE SOFTWARE B 68
PPI 82C55 69
LINEE I/O DELLA CPU 70
CONTROLLORE CAN 70
UNITÀ GESTIONE MEMORIE (MMU) 72

BIBLIOGRAFIA 77

APPENDICE A: SCHEMI ELETTRICI A-1

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO B-1
CPU 80C552 ..... B-1
FAMIGLIA I51 ..... B-2
CONTROLLORE CAN SJA 1000 ..... B-3
SRAM+RTC PCF8583 ..... B-4

APPENDICE C: INDICE ANALITICO C-1

INDICE DELLE FIGURE

FIGURA 1: POSIZIONE DELLA VERSIONE SCHEDA 3
FIGURA 2: SCHEMA A BLOCCHI 7
FIGURA 3: CN9 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP 14
FIGURA 4: CN3 - CONNETTORE PER I/O DEL PPI, I2C BUS SW 15
FIGURA 5: CN7 - CONNETTORE PER I/O DEL PPI 16
FIGURA 6: SCHEMA DEL COLLEGAMENTO I/O DEL PPI 17
FIGURA 7: CN1 - CONNETTORE PER I/O DELA CPU 18
FIGURA 8: SCHEMA COLLEGAMENTO LINEE DI I/O DELLA CPU 19
FIGURA 9: CN4A - CONNETTORE PER LINEA SERIALE A 20
FIGURA 10: PIANTA COMPONENTI LATO STAGNATURE 21
FIGURA 11: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232 22
FIGURA 12: ESEMIPO COLLEGAMENTO PUNTO PUNTO IN RS 422 22
FIGURA 13: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485 22
FIGURA 14: ESEMPIO COLLEGAMENTO IN RETE RS 485 23
FIGURA 15: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 4 FILI 24
FIGURA 16: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 2 FILI 24
FIGURA 17: ESEMPIO DI COLLEGAMENTO IN RETE CURRENT LOOP 25
FIGURA 18: CN4B - CONNETTORE PER LINEA SERIALE B 26
FIGURA 19: SCHEMA DI COMUNICAZIONE SERIALE 27
FIGURA 20: CN5 - CONNETTORE PER BUS ABACO® 28
FIGURA 21: CN2 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM 30
FIGURA 22: SCHEMA DI COLLEGAMENTO A/D CONVERTER 31
FIGURA 23: CN8 - CONNETTORE PER LINEA CAN 32
FIGURA 24: SCHEMA DI COLLEGAMENTO LINEA CAN 33
FIGURA 25: ESEMPIO COLLEGAMENTO IN RETE CON BUS CAN 34
FIGURA 26: DISPOSIZIONE CONNETTORI, TRIMMER, BATTERIA, MEMORIE, ECC. 35
FIGURA 27: ESEMPIO COLLEGAMENTO DISPOSITIVI I2C BUS 37
FIGURA 28: ESEMPIO COLLEGAMENTO IN RETE I2C BUS 38
FIGURA 29: TABELLA DELLE SEGNALAZIONI VISIVE 41
FIGURA 30: TABELLA RIASSUNTIVA JUMPERS 42
FIGURA 31: TABELLA JUMPERS A 2 VIE 43
FIGURA 32: TABELLA JUMPERS A 3 VIE 44
FIGURA 33: TABELLA JUMPERS A 4 VIE 44
FIGURA 34: DISPOSIZIONE E NUMERAZIONE JUMPERS 45
FIGURA 35: TABELLA JUMPERS A 9 VIE 46
FIGURA 36: PIANTA COMPONENTI LATO COMPONENTI 47
FIGURA 37: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE 51
FIGURA 38: TABELLA DI SELEZIONE MEMORIE 53
FIGURA 39: FOTO SCHEDA 55
FIGURA 40: TABELLA INDIRIZZAMENTO PERIFERICHE 59
FIGURA 41: MAPPAGGIO DELLE MEMORIE IN MODO 0 60
FIGURA 42: MAPPAGGIO DELLE MEMORIE IN MODO 1 61
FIGURA 43: MAPPAGGIO DELLE MEMORIE IN MODO 3 62
FIGURA 44: MAPPAGGIO DELLE MEMORIE IN MODO 3 63
FIGURA 45: SCHEMA DELLE POSSIBILI CONNESSIONI 67
FIGURA 46: FLOW CHART INIZIALIZZAZIONE CONTROLLORE CAN 71

FIGURA 47: NUMERAZIONE PAGINE DA SEZIONE MMU 73
FIGURA 48: TABELLA PROGRAMMAZIONE MMU CON MAPPAGGI 0 E 1 74
FIGURA 49: TABELLA PROGRAMMAZIONE MMU CON MAPPAGGIO 2 75
FIGURA 50: TABELLA PROGRAMMAZIONE MMU CON MAPPAGGIO 3 76
FIGURA A1: SCHEMA ELETTRICO IAC 01 ..... A-1
FIGURA A2: SCHEMA ELETTRICO KDX X24 ..... A-2
FIGURA A3: SCHEMA ELETTRICO QTP 16P A-3
FIGURA A4: SCHEMA ELETTRICO QTP 24P - PARTE 1 ..... A-4
FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2 ..... A-5
FIGURA A6: SCHEMA ELETTRICO SPA 01 ..... A-6

INTRODUZIONE

L'uso di questi dispositivi è rivolto - **IN VIA ESCLUSIVA** - a personale specializzato.

Questo prodotto non è un **componente di sicurezza** così come definito dalla direttiva **98-37/CE**.

I pin della scheda non sono dotati di protezione contro le cariche elettrostatiche. Visto che esiste un collegamento diretto tra numerosi pin della scheda ed i rispettivi pin dei componenti di bordo e che quest'ultimi sono sensibili ai fenomeni ESD, il personale che maneggia la scheda è invitato a prendere tutte le precauzioni necessarie per evitare i possibili danni che potrebbero derivare dalle cariche elettorostatiche.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - **IN VIA ESCLUSIVA** - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 550** con versione stampato **120605** e successive. La validità delle informazioni riportate è quindi subordinata al numero di versione della scheda in uso e l'utente deve quindi sempre verificare la giusta corrispondenza. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio sotto alla batteria BT1 sia sul lato componenti che stagnature. La seguente figura illustra la posizioni più facilmente accessibile.

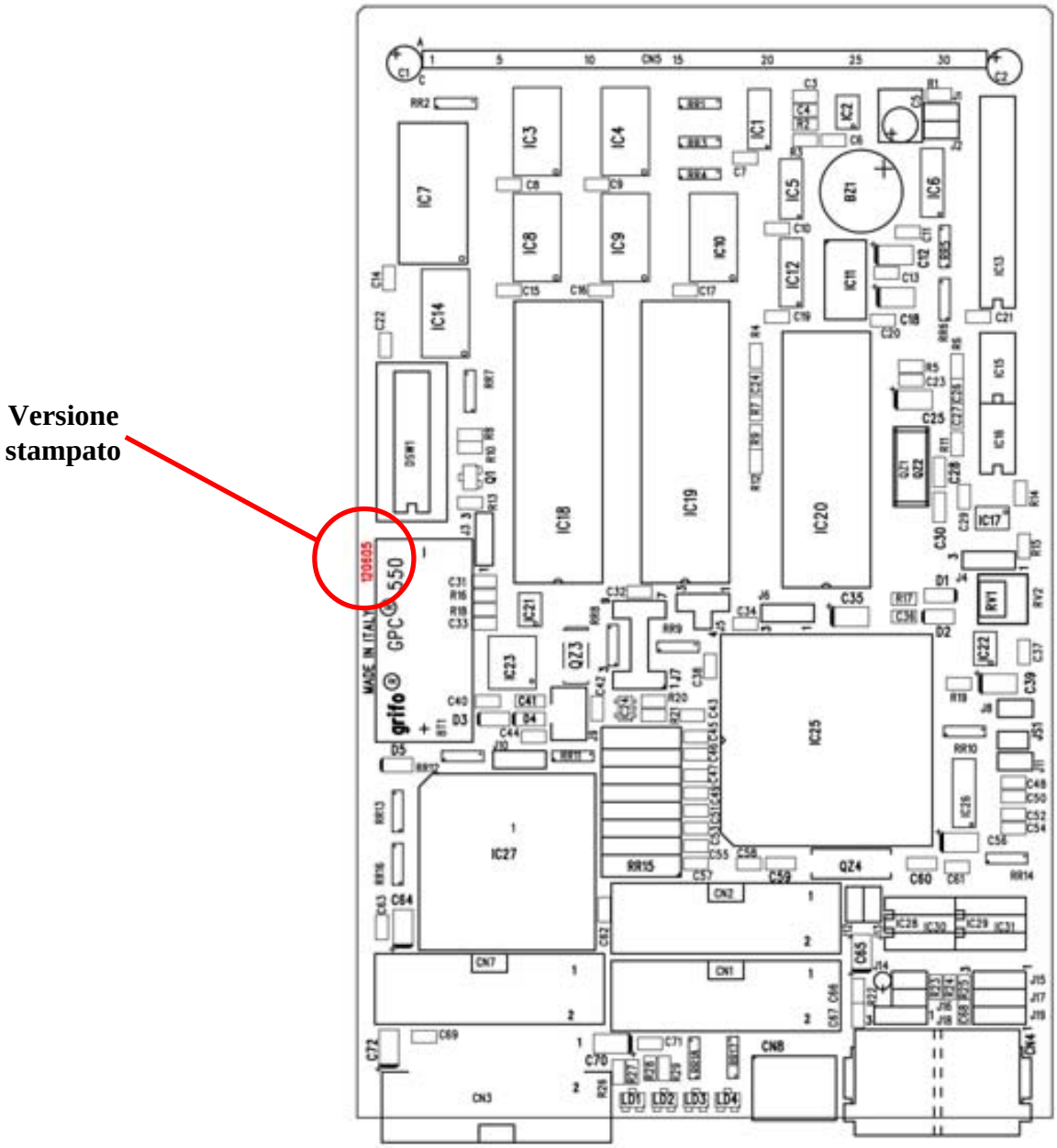


FIGURA 1: POSIZIONE DELLA VERSIONE SCHEDA

INFORMAZIONI GENERALI

La scheda **GPC® 550** é un potente modulo di controllo e di gestione nel formato standard **Singola Europa** da 100x160 mm. E' in grado di funzionare autonomamente come periferica intelligente, può essere remotata in una rete di telecontrollo e teleacquisizione ma può anche essere facilmente affiancata dalla ricca serie di periferiche, intelligenti e non, disponibili sul **BUS Industriale Abaco®**.
La sua tipica installazione é quella su un mother board montato all'interno di un rack oppure su mother board per guide ad **Omega** (come **ABB 05** od **ABB 03**) che inoltre consentono la gestione di schede in formato **BLOCK** con **Abaco® I/O BUS**.
La scheda supporta varie versioni di microcontrollori quali **80C552**, **87C552**, ecc., tutti software compatibili con il diffusissimo **8051 INTEL** ed ha a bordo scheda notevoli risorse hardware. Particolarmente interessanti sono la disponibilità di 8 linee di **A/D converter** da 10 bits, le numerose linee di I/O a livello TTL, la linea di comunicazione **CAN** e le linee in **I2C BUS**.
La estrema modularita' e la notevole completezza di risorse hardware della scheda **GPC® 550** le consentono di poter affrontare applicazioni anche di notevole complessita' con estrema disinvoltura.
La facilita' di impiego e' determinata anche dalla ricca serie di tools di sviluppo software basati su linguaggi sia a basso che alto livello che consentono di poter lavorare al meglio utilizzando unicamente un normale PC. Tra questi tools si ricordano i vari **compilatori C**, il **FORTH** ed il compilatore basic **BASCOM 8051**. Grande attenzione e' stata riservata alla messa a punto dell'applicativo, rendendo disponibili dei programmi che consentono di effettuare il **debug remoto** direttamente sulla scheda e che programmano direttamente la **FLASH** di bordo con il programma utente.
La **GPC® 550** é dotata di una serie di connettori normalizzati, standard **Abaco®**, che le consentono di utilizzare immediatamente la numerosa serie di moduli **BLOCK** di I/0, che permettono il collegamento diretto di interfaccie operatori locali (**KDx x24**, **QTP xxP**) oppure di interfacce da campo costruite direttamente dall'utente o da terze parti, consentendo così una notevole riduzione dei costi.
Le caratteristiche di massima della scheda, completa delle possibili opzioni, sono di seguito elencate:

- Formato singola Europa da 100x160mm con interfaccia per il **BUS industriale Abaco®**.
- Microcontrollore **Philips 80C552**, da **22M Hz** o compatibili.
- Vari dispositivi di memoria: **128K** EPROM; **128K** SRAM; **512K** EPROM, FLASH, EEPROM o SRAM; fino a **1K** EEPROM seriale; **256 bytes** SRAM seriale.
- Circuiteria di gestione memorie (**MMU**) che consente di allocare i dispositivi fisici di memoria nello spazio di indirizzamento del microcontrollore in diverse modalita', con **impaginazione**.
- **Real Time Clock** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi e di generare **interrupt** con cadenze definibili da software od attivarsi come una sveglia, ad un tempo preimpostato.
- Circuiteria di **back up** per SRAM e RTC con batteria al **Litio** e connettore per eventuale batteria esterna.
- **Watch dog** hardware in grado di resettare la scheda in caso di **malfunzionamenti** del programma eseguito.
- 8 linee di **A/D** converter da **10 bits**, con fondo scala **+2,49V**, oppure **0÷20** o **4÷20 mA**., tempo di conversione **27µs**, provviste di filtro passa banda.
- **1 LED** di stato piu' **3 LED** e **BUZZER** di segnalazione, gestiti via software.
- 1 **dip switch** da 8 vie, di cui 7 leggibili da software, usato anche come selettore **RUN/ DEBUG**.

- **1** linea seriale hardware settabile in **RS 232**, **RS 422**, **RS 485**, **Current Loop** passivo, con baud rate settabile da software, fino a **115 KBaud**.
- **1** linea seriale software in **RS 232**.
- **40** linee di **I/O TTL**, settabili da software, di cui 24 gestite dal **PPI 82C55** e 16 gestite dalla CPU (alcune di queste linee hanno duplice funzione).
- **2** uscite indipendenti di **PWM** da 8 bits.
- **3 timer counter** da 16 bits di cui uno con funzionalità di capture e comparazione, abbinata ad ingressi ed uscitedisponibili sui connettori.
- 2 linee **I2C BUS**, di cui una hardware ed una software, disponibili sui connettori.
- Linea **CAN** opzionale basata sul controllore PHILIPS **SJA 1000** che supporta i protocolli **Basic CAN**, **CAN 2.0B** e **PeliCAN**, con bit rate fino a **1 MBit/sec**.
- Driver di linea CAN PHILIPS **82C250** con separazione galvanica.
- **9 connettori** standard, disposti principalmente sul frontale della scheda, in modo da facilitare la connessione con gli altri sistemi e con il campo.
- Unica tensione di alimentazione a **5Vdc**, **340 mA** massimi.
- Possibilità di funzionamento a basso cosumo in modalità **idle** o **power down**.
- Vasta disponibilità di software di **sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**. Tra i pacchetti disponibili si possono citare: **GET51**; **Monitor Debugger** (FM0 53, NO ICE 51); vari **Assemblatori** (ASM51, A51, SXA51); compilatori **BASIC** (BASCOM 8051, BXC51); compilatori **C** (HI TECH C 51, µC/51, SYS51CW); compilatori **PASCAL** (SYS51PW); linguaggi con logica a contatti (**Ladder**WORK); **sistemi operativi** in tempo reale (CMX-RTX); ecc.

Viene di seguito riportata una descrizione dei blocchi funzionali della scheda, con indicate le operazioni effettuate da ciascuno di essi. Per una più facile individuazione di tali blocchi e per una verifica delle loro connessioni, fare riferimento alla figura 2.

PROCESSORE DI BORDO

La scheda **GPC® 550** é predisposta per accettare il microcontrollore **PHILIPS 80C552**, comprese le derivazioni che ne mantengono il pin out. Tale processore ad 8 bit é codice compatibile con il famoso 8051 della INTEL ed é quindi caratterizzato da un esteso set di istruzioni, da un'alta velocità di esecuzone e di manipolazione dati e da un efficiente gestione vettorizzata degli interrupts. Di fondamentale importanza é la presenza delle seguenti periferiche interne:

- 256 bytes RAM interna
- 5 gruppi di I/O digitali ad 8 bits (PORT);
- 2 Timer Counters da 16 bits (TMR CNT);
- 1 Timer Counter da 16 bits con funzioni di capture e compare (TMR CNT);
- 2 livelli di priorità per gli Interrupt (ICU);
- 15 sorgenti d'interrupt interne (ICU);
- 8 linee di conversione analogica digitale da 10 bits (ADC);
- 2 linee indipendenti per la generazione di frequenze ad 8 bits (PWM);
- 1 linea seriale multifunzione (UART);
- 1 linea per I^2C bus (HW I2C);
- Timer di Watch Dog;
- Funzionamento in modalità IDLE o POWER DOWN.

Per maggiori informazioni a riguardo di questo componente si faccia riferimento all'apposita documentazione della casa costruttrice.

MEMORIE

E' possibile dotare la scheda di un massimo di 769K e 256 bytes di memoria variamente suddivisi con un massimo di:

- 128K EPROM
- 128K SRAM
- 512K SRAM/EEPROM/FLASH EPROM/EPROM
- 256 bytes di SRAM seriale
- 1K di EEPROM seriale

La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all'applicazione da risolvere e quindi in relazione alle esigenze dell'utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con 128K SRAM, 256 bytes di SRAM seriale e 512 bytes di EEPROM seriale e che tutte le rimanenti memorie devono essere quindi opportunamente specificate in fase di ordine della scheda.
Tramite la circuiteria di Back Up presente a bordo scheda c'é inoltre la possibilità di tamponare fino ad un massimo di 128K e 256 bytes di SRAM aggiungendo quindi la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema anche per lunghi periodi di inattività, senza dover ricorrere a costosi gruppi di continuità esterni. La circuiteria di back up é basata su una batteria al Litio presente a bordo scheda e da una batteria esterna collegabile tramite un apposito connettore. Qualora la quantità di SRAM tamponata risulti insufficiente (ad esempio per sistemi di raccolta dati) si possono sempre utilizzare moduli di SRAM tamponata e/o di EEPROM aggiuntivi.
Il modulo di SRAM seriale montato su IC23 é inoltre provvisto di un real time clock interno in grado di gestire via software l'orario (ore, minuti, secondi) e la data (giorno, mese, anno, giorno della settimana).
Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo denominata MMU, che provvede ad allocare i dispositivi all'interno dello spazio d'indirizzamento del microcontrollore; tale logica di controllo provvede a gestire in modo completamente automatico diversi tipi di mappaggi richiesti dai diversi pacchetti software disponibili per la **GPC® 550**.
Per maggiori informazioni fare riferimento al capitolo "MAPPAGGI ED INDIRIZZAMENTI" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO". Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo strippaggio della scheda, fare riferimento al paragrafo "SELEZIONE MEMORIE".

A/D CONVERTER

La conversione A/D della **GPC® 550** é gestita dalla sezione ADC interna alla CPU, che sfrutta il principio delle approssimazioni successive. Le caratteristiche principali di questa sezione sono: risoluzione di 10 bit in modalità unipolare; 8 ingressi variabili nel range 0÷2,490V oppure 0÷20 mA, 4÷20 mA tramite apposito convertitore corrente tensione; tempo di conversione su singolo canale di 27 µsec; 20 Ksps di sample rate su ogni canale; semplicissima gestione software; generazione interrupt di fine conversione. La sezione ADC converter é completamente gestita via software, tramite la programmazione di due registri interni della CPU.
Al fine di semplificare la gestione del convertitore A/D, alcuni pacchetti software forniscono delle procedure di utility che gestiscono la sezione in tutte le sue parti.

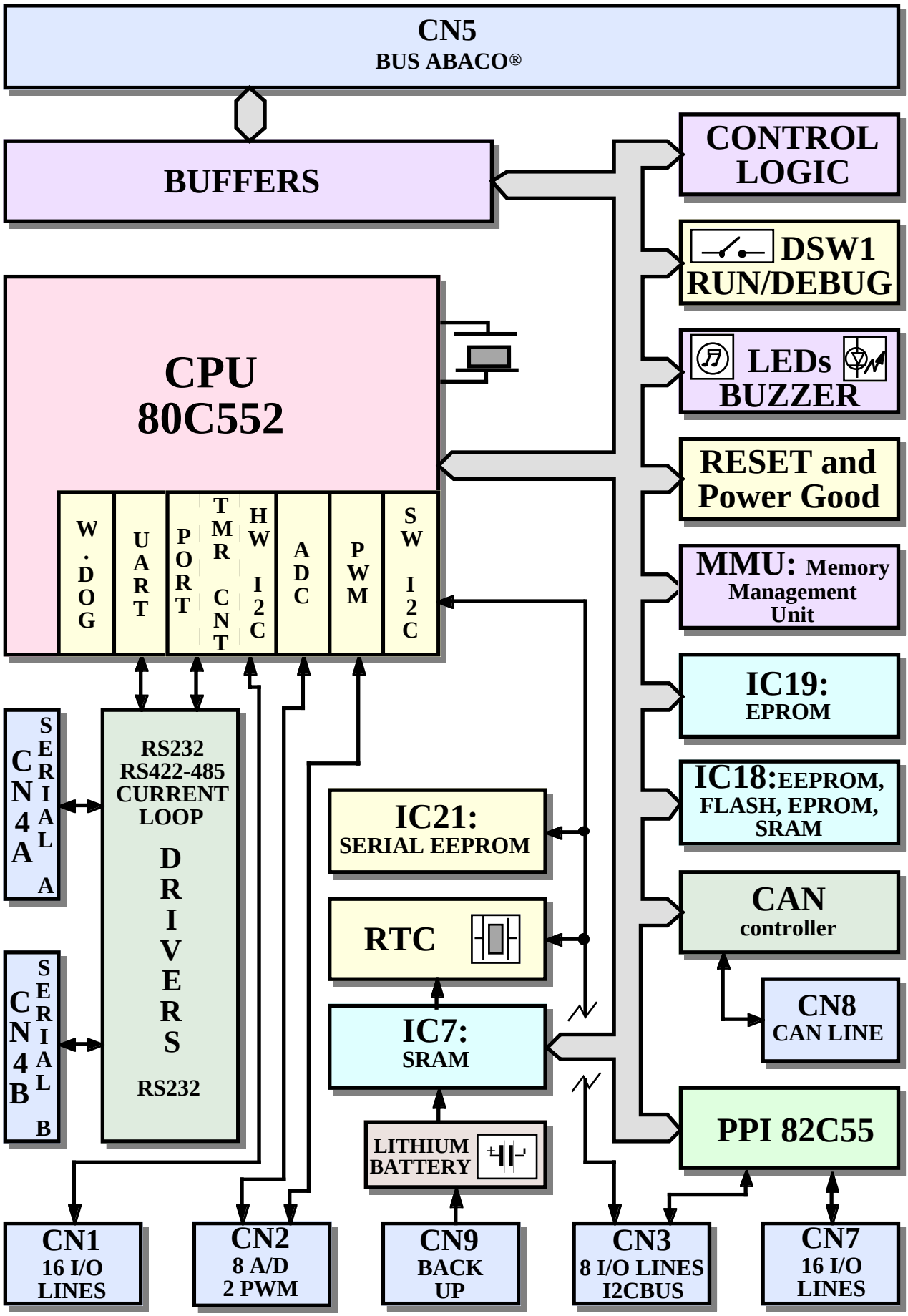


FIGURA 2: SCHEMA A BLOCCHI

LOGICA DI CONTROLLO

Il mappaggio e la gestione di alcune periferiche ed alcuni dispositivi di memoria presenti sulla scheda, é affidata ad un'opportuna logica di controllo che si occupa di allocare tali dispositivi nello spazio d'indirizzamento della CPU.
Per maggiori informazioni fare riferimento ai paragrafi "MAPPAGGIO I/O" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

BUS ABACO®

Una delle caratteristiche di fondamentale importanza della **GPC® 550** è quella di disporre del cosiddetto **BUS ABACO®**: ovvero un connettore normalizzato **ABACO®** con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), schede con contatori e temporizzatori, schede per gestione di I/O logico bufferato, controllo assi, controllo temperature, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente.
Utilizzando mother board come l'**ABB 03** o l'**ABB 05** é inoltre possibile gestire tutte le schede periferiche in formato BLOCK con interfaccia per **ABACO® I/O BUS**. Tale caratteristica rende la scheda espandibile con un ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.
Da ricordare che tutte le linee del BUS **ABACO®** I/O BUS sono bufferate in modo da garantire una maggiore protezione contro i disturbi esterni ed il comando di un maggior numero di schede periferiche di espansione, senza problemi di fan-out.
La figura 45 illustra alcune di queste schede di espansione e mostra come possono essere facilmente interconnesse.

LINEE DI I/O DIGITALI

La scheda dispone di due controllori di I/O digitale che sono utilizzati per comandare alcune risorse di bordo (EEPROM seriale, SRAM+RTC seriale, seriale software, ecc.) e per gestire 40 linee di I/O digitale TTL, a disposizione dell'utente, di cui:
- 16 con direzionalità settabile per ogni linea, collegate alla sezione PORT della CPU;
- 24 con direzionalità settabile a gruppi di 8 linee, collegate al PPI 82C55.

Tali linee sono collegate a tre connettori a 20 vie con pin out standard **I/O ABACO®** ed hanno quindi la possibilità di essere direttamente collegate a numerose schede d'interfaccia.
Via software é definibile la funzionalità di queste linee, con possibilità di associarle anche alle periferiche della scheda (Timer Counter, Interrupt, I2C BUS hardware, ecc.), tramite una semplice programmazione di alcuni registri interni della CPU.
Si ricorda inoltre che sulla **GPC® 550** sono disponibili altre 8 linee di solo ingresso TTL in alternativa agli ingressi analogici ed altre 2 linee di sola uscita TTL in alternativa alle uscite PWM; se l'applicazione da realizzare richiede più di 40 I/O ma non necessita di A/D e PWM, tali linee sono utilizzabili con un'appropriata gestione sofware.
Per maggiori informazioni fare riferimento ai paragrafi "CONNESSIONI", "INTERFACCE PER I/O DIGITALI", ed al capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

CLOCK

Sulla **GPC® 550** sono presenti tre circuiterie di clock:
- La prima é basata su un quarzo che provvede a generare la frequenza di clock per la CPU da cui vengono ricavate anche le frequenze necessarie per le altre sezioni della scheda (Timer, Seriale, I2C BUS hardware, PWM, ecc.). Si ricorda che il valore standard di clock é di **22,1184 MHz**, ovvero quella del quarzo montato a bordo scheda, e che si può intervenire via software sull'apposita sezione di power management per variarne i valori e quindi i consumi. In caso di esigenze particolari si può richiedere una frequenza di clock diversa per la CPU ma tale configurazione deve essere concordata direttamente con la grifo®.
- La seconda circuiteria é basata su un quarzo che genera le frequenze necessarie al controllore CAN a **24 MHz**. Tale circuiteria é opzionale ed é presente solo in caso di ordine dell'opzione .CAN, mentre il suo valore é il risultato di un'approfondita progettazione e sperimentazione.
- Infine la terza circuiteria provvede a fornire le giuste temporizzazioni al real time clock di bordo ed é basata su un quarzo da **32,768 KHz**.

La scelta di utilizzare tre circuiti e quindi tre quarzi indipendenti, é legata alla possibilità di poter variare in modo indipendente la frequenza di lavoro della CPU.

CONFIGURAZIONE SCHEDA

Allo scopo di rendere configurabile la scheda ed in particolare il programma applicativo sviluppato, é stato previsto un dip switch ad 8 vie. L'acquisizione via software dello stato di 7 di questi dip, fornisce all'utente la possibilità di gestire diverse condizioni tramite un unico programma, senza dover rinunciare ad altre linee d'ingresso (le applicazioni caratteristiche sono: selezione della lingua di rappresentazione, definizione parametri del programma, selezione delle modalità operative, ecc). Alcuni pacchetti software sviluppati per la **GPC® 550** usano uno di questi dip, per selezionare la modalità operativa RUN o DEBUG, come descritto negli appositi manuali d'uso degli stessi pacchetti.
In aggiunta la scheda ha tre LED di attività ed un buzzer, gestibili via software, che possono essere usati per segnalare visivamente o acusticamente la configurazione attuale della scheda, come descritto negli appositi paragrafi.
Tutte le risorse di configurazione descritte sono completamente gestite via software, tramite la programmazione di appositi registri allocati nello spazio di I/O, dalla logica di controllo.

LINEE PWM

Sono disponibili due linee indipendenti di PWM con cui é possibile generare dei segnali con frequenza e duty cicle definibili via software con una risoluzione di 8 bits. Le applicazioni tipiche di tali segnali sono il controllo della velocità di motori, infatti molti azionamenti dispongono di ingressi compatibili oppure la generazione di segnali analogici, facilmente ottenibili tramite l'aggiunta di un semplice circuito integratore. Entrambe le linee sono riportate su un connettore a scatolino di facile cablaggio e sono gestite tramite tre registri interni della CPU.
Per ogni chiarimento necessario l'utente può fare riferimento all'apposita documentazione della casa costruttrice.

COMUNICAZIONE SERIALE

La **GPC® 550** é provvista di numerose interfacce per la comunicazione seriale tra cui linee I2C BUS, linea CAN e due linee asincrone. Le prime due sono descritte nei paragrafi sucessivi, mentre le ultime sono completamente settabili via software, in modo completamente autonomo. Per convenzione le linee di comunicazione asincrona vengono chiamate **A** (seriale hardware gestita dalla sezione UART della CPU in cui tramite alcuni registri interni si può definire via software il baud rate fino a 115200 ed il numero bit per carattere tra 8 e 9) e **B** (seriale software gestita con due linee di I/O in cui baud rate, bit per carattere, parità e stop bit sono tutti definiti dallo stesso software di gestione). Tramite appositi artifizi software é comunque possibile settare la parità od il numero di stop bit anche per la linea seriale A, in modo da poter comunicare con la maggioranza dei dispositivi presenti sul mercato. Dal punto di vista hardware, tramite una serie di comodi jumpers e componenti da installare, é invece selezionabile il protocollo elettrico di comunicazione. In particolare la linea B é sempre bufferata in **RS 232**, mentre la rimanente linea A può essere bufferata in **RS 232**, **current loop** o **RS 422**, **RS 485**; in quest'ultimi casi é definibile anche l'attivazione e/o la direzionalità della linea di comunicazione. Si ricorda che la scheda viene normalmente fornita con entrambe le linee seriali bufferate in RS 232 e che tutte le rimanenti configurazioni devono essere quindi opportunamente specificate in fase di ordine della scheda.
Per ulteriori informazioni in merito alla comunicazione seriale fare riferimento ai paragrafi "CONNESSIONI", "SELEZIONE COMUNICAZIONE SERIALE" e "SERIALE SOFTWARE B".

LINEA CAN

Questa sezione é basata sul potente controllore **SJA 1000** della PHILIPS e si preoccupa della gestione software del protocollo CAN in tutte le sue modalità ed aspetti. Le caratteristiche fondamentali di questa sezione sono:

- supporto protocollo BasicCAN;
- supporto del protocollo PeliCAN 2.0B;
- gestione identificatori da 11 e 29 bits;
- buffer di trasmissione da 13 bytes;
- buffer di ricezione da 64 bytes;
- baud rate programmabile fino ad 1M Bit/sec;
- eliminazione del comparatore di ricezione;
- filtri di accettazione messaggi configurabili;
- driver di uscita programmabile;
- frequenza di lavoro 24M Hz.

Dal punto di vista elettrico la scheda é dotata dell'apposito driver di linea **82C250** della PHILIPS, galvanicamente isolato. Questo componente si preoccupa di soddisfare tutte le specifiche di collegamento con il campo, definite nel protocollo CAN senza richiedere alcun intervento software. Inoltre la linea CAN di bordo é galvanicamente isolata dal resto della scheda, in modo da garantire l'immunità agli eventuali disturbi del campo; questa caratteristica é di fondamentale importanza soprattutto nel caso di collegamento con sistemi remoti a diversi potenziali oppure di collegamenti con cavi che attraversano ambienti elettricamente rumorosi. Un apposito DC/DC converter si preoccupa di generare le tensioni galvanicamente isolate richieste dal driver di linea, mentre

l'interfacciamento con le linee di comunicazione del controllore CAN sono effettuati tramite appositi optoisolatori per alte frequenze.
Il collegamento con il campo della linea CAN é effettuato tramite un connettore a morsettiera a rapida estrazione a 3 vie che facilita il cablaggio e garantisce una buona trasmissione del segnale.
Si ricorda che la sezione CAN é opzionale, ovvero non presente se non specificata in fase di ordine della scheda: il codice di tale opzione è **.CAN**.
Dal punto di vista software la linea CAN é completamente configurabile tramite la programmazione di 64 registri allocati nello spazio di I/O dalla logica di controllo ed é in grado di generare interrupt in corrispondenza di numerose condizioni di stato.
Per ogni chiarimento necessario l'utente può fare riferimento all'apposita documentazione della casa costruttrice.

LINEE I2C BUS

La scheda **GPC® 550** dispone di due linee di comunicazione sincrone secondo lo standard I2C BUS, che le consentono di essere collegata alle numerose unità che dispongono dello stesso tipo di interfaccia. Delle due linee una può essere definita hardware in quanto comandata da un'apposita sezione interna della CPU che ha le seguenti caratteristiche:

- trasferimento dati bidirezionale tra unità master e slave;
- modalità multimaster;
- arbitraggio della linea in caso di collisione, senza perdita di dati;
- sincronizzazione tra dispositivi che lavorano a diverse velocità;
- bit rate programmabile fino a 1,8M Bit/sec;
- gestione ad alto livello di trasmissione come master, trasmissione come slave;
- gestione ad alto livello di ricezione come master, ricezione come slave;
- generazione interrupt in corrispondenza di numerose condizioni di stato.

La seconda linea viene invece definita software in quanto é comandata da due linee di I/O della CPU, come descritto nel capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO" ed é già collegata a bordo scheda con due dispositivi I2C BUS che sono la EEPROM seriale e la SRAM+RTC seriale.
Entrambe le linee I2C BUS sono disponibili su comodi connettori a scatolino, su cui é presente anche la tensione di alimentazione, in modo effettuare una rapida connessione con le altre unità del sistema.
Dal punto di vista software le linee I2C BUS sono completamente configurabili tramite la programmazione di alcuni registri interni della CPU.

SPECIFICHE TECNICHE

CARATTERISTICHE GENERALI

Risorse della scheda:
16 input/output digitali TTL
24 input/output digitali TTL
3 timer counter a 16 bit
1 linea seriale RS 232 (B)
1 linea seriale RS 232, RS 422, RS 485, current loop (A)
2 linee I2C BUS
1 linea CAN
8 linee di A/D converter
1 watch dog hardware
2 linee PWM
3 LED gestibili via software
1 real time clock
1 buzzer
1 dip switch da 8 vie
1 circuiteria di reset e power good
1 circuiteria di back up
1 interfaccia BUS **ABACO®**

Memoria indirizzabile:

IC19:	EPROM da 32K x 8 a 128K x 8
IC7:	SRAM da 32K x 8 a 128K x 8
IC18:	FLASH, EEPROM, SRAM, EPROM da 32K x 8 a 512K x 8
IC23:	SRAM seriale da 256 byte
IC21:	EEPROM seriale da 256 byte a 1K byte

Tempo d'accesso memorie: 120 nsec
CPU di bordo: PHILIPS P80C552
Frequenza clock CPU: 22,1184 MHz
Frequenza max contatori: Frequenza clock CPU / 12
Frequenza clock CAN: 24 MHz
Bit rate massimo CAN: 1 Mbit
Frequenza taglio ingressi A/D: 1 MHz
Risoluzione A/D: 10 bit
Tempo conversione A/D: 27 µsec
Errore complessivo A/D: ±1 punto
Frequenza clock RTC: 32,768 KHz
Tempo di reset: 200 msec
Tempo intervento watch dog: 1,111÷283,305 msec, programmabile via software

CARATTERISTICHE FISICHE

Dimensioni (L x A x P):	formato singola EUROPA	100 x 160 x 20 100 x 172 x 20 ingombro esterno
Peso:	150 g	(configurazione base)

Connettori:	CN1:	20 vie scatolino verticale M
	CN2:	20 vie scatolino verticale M
	CN3:	20 vie scatolino 90 gradi M
	CN4A:	Plug a 6 vie 90 gradi F
	CN4B:	Plug a 6 vie 90 gradi F
	CN5:	64 vie DIN 41612 corpo C 90 gradi M
	CN7:	20 vie scatolino verticale M
	CN8:	3 vie morsettiera a rapida estrazione M
	CN9:	2 vie scatolino verticale M
Range di temperatura:	da 0 a 70 gradi Centigradi	
Umidità relativa:	20% fino a 90%	(senza condensa)

CARATTERISTICHE ELETTRICHE

Tensione di alimentazione:	5 Vdc ±5%		
Corrente assorbita sui +5 Vdc:	250 mA	*	(configurazione base)
	180 mA	*	(power down)
	340 mA	*	(configurazione massima)
Soglia d'intervento power good:	4,65 V		
Batteria di bordo di back up:	3,0 Vdc; 1/2 AA		
Batteria esterna di back up:	3,6÷5 Vdc		
Corrente di back up:	4,0 µA		(batteria di bordo)
	4,8 µA		(batteria esterna da 3,6 Vdc)
Tensione riferimento A/D:	2,490 V		
Ingressi analogici:	0÷2,490 V		
Ingressi analogici in corrente:	0÷20; 4÷20 mA		(con modulo di conversione)
Impedenza ingressi analogici:	Alta		(non dichiarata dal costruttore)
Protezione RS 232:	±15 KV		
Rete terminazione RS 422-485:	Resistenza terminazione linea=		120 Ω
	Resistenza di pull up sul positivo=		3,3 KΩ
	Resistenza di pull down sul negativo=		3,3 KΩ
Impedenza di linea CAN:	60 Ω		
Rete terminazione CAN:	Resistenza da 120 Ω, disinseribile		
Resistenza pull up I/O digitali TTL:	100 KΩ		
Resistenza pull up I2C BUS HW:	100 KΩ		
Resistenza pull up I2C BUS SW:	4,7 KΩ		

* I dati riportati coincidono con il consumo massimo nella configurazione indicata e sono riferiti ad un lavoro a temperatura ambiente di 20 gradi centigradi (per ulteriori informazioni fare riferimento al paragrafo "ALIMENTAZIONE").

INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori, dei trimmers, dei LED, ecc. presenti sulla **GPC® 550**.

CONNESSIONI

Il modulo **GPC® 550** è provvisto di 9 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 26, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

CN9 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

CN9 é un connettore a scatolino, verticale, maschio, con passo 2,54 mm a 2 vie.
Tramite CN9 deve essere collegata una batteria esterna che provvede a mantenere i dati delle SRAM di bordo ed a garantire il funzionamento del real time clock, in assenza di tensione di alimentazione (per maggiori informazioni fare riferimento al paragrafo "BACK UP").

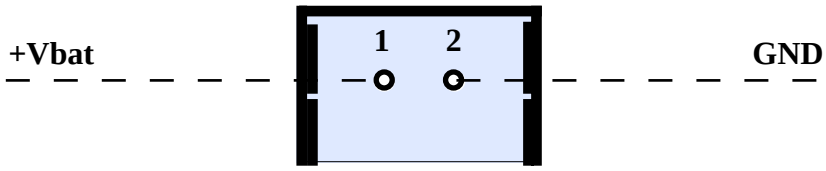


FIGURA 3: CN9 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

Legenda:

+Vbat	=	I	- Positivo della batteria esterna di back up.
GND	=		- Negativo della batteria esterna di back up.

Si ricorda che é possibile ordinare l'accessorio **.LITIO** che corrisponde ad una batteria esterna, al litio, di grossa capacità dotata di un cavo di collegamento già intestato con un connettore femmina, direttamente collegabile a CN9.

CN3 - CONNETTORE PER I/O DEL PPI E I2C BUS SW

CN3 è un connettore a scatolino, a 90 gradi, maschio, con passo 2.54 mm, a 20 piedini. Tramite CN3 si effettua la connessione tra 8 linee di I/O digitale dell'interfaccia PPI, la linea I2C BUS software, la linea d'interrupt del RTC e l'ambiente esterno. Tutti i segnali di CN3 coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO®**.

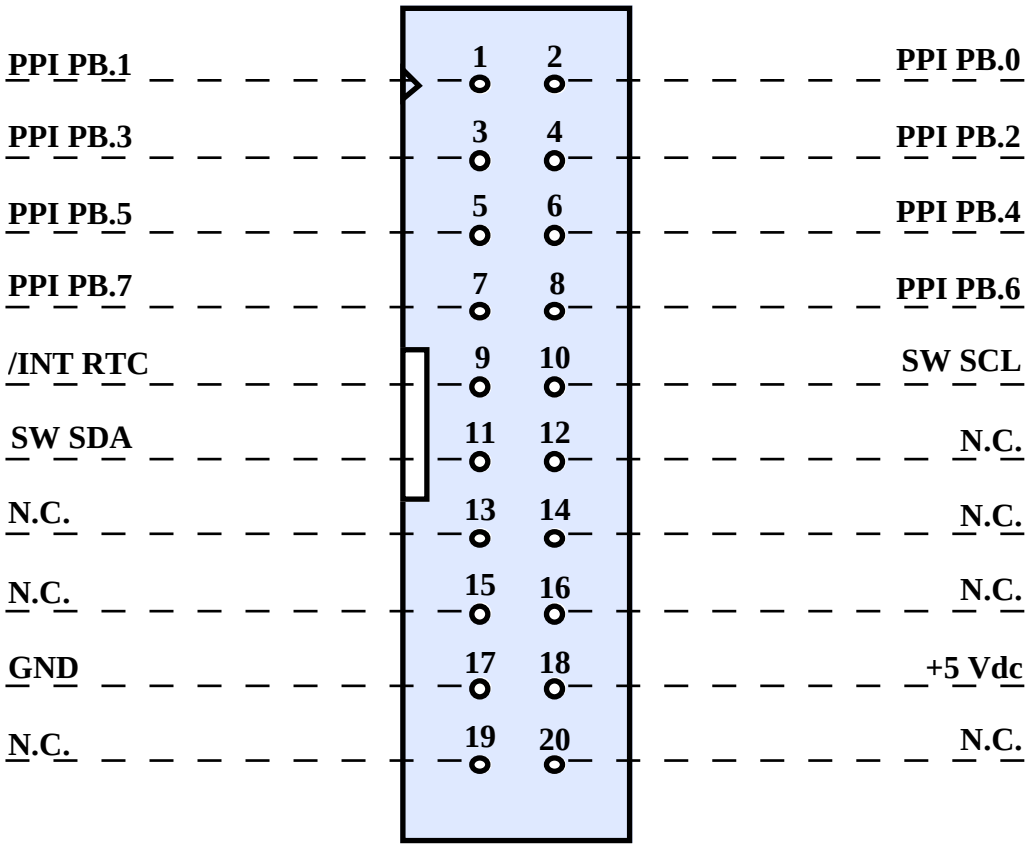


FIGURA 4: CN3 - CONNETTORE PER I/O DEL PPI, I2C BUS SW

Legenda:

PPI PB.n	= I/O	- Linea digitale n del Port B del PPI 82C55.
SW SDA	= I/O	- Linea dati della linea I2C BUS software.
SW SCL	= I/O	- Linea clock della linea I2C BUS software.
/INT RTC	= O	- Linea d'interrupt generata dal real time clock.
+5 Vdc	= O	- Linea di alimentazione a +5 Vdc.
GND	=	- Linea di massa.
N.C.	=	- Non collegato.

CN7 - CONNETTORE PER I/O DEL PPI

CN7 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini.
Tramite CN7 si effettua la connessione tra l'interfaccia periferica programmabile PPI 82C55 e l'ambiente esterno, utilizzando due dei tre Port paralleli ad 8 bit di cui dispone. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO®**.

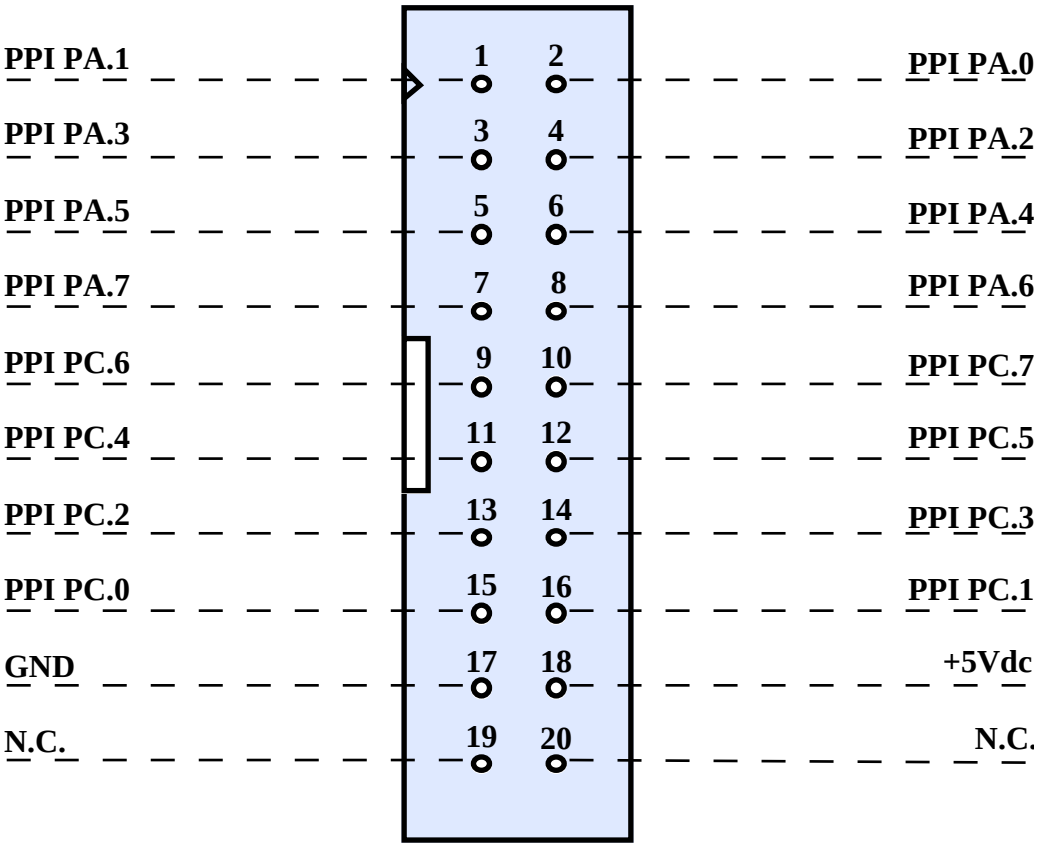


FIGURA 5: CN7 - CONNETTORE PER I/O DEL PPI

Legenda:

PPI PA.n	= I/O	- Linea digitale n del Port A del PPI 82C55.
PPI PC.n	= I/O	- Linea digitale n del Port C del PPI 82C55.
+5 Vdc	= O	- Linea di alimentazione a +5 Vdc
GND	=	- Linea di massa
N.C.	=	- Non Collegato

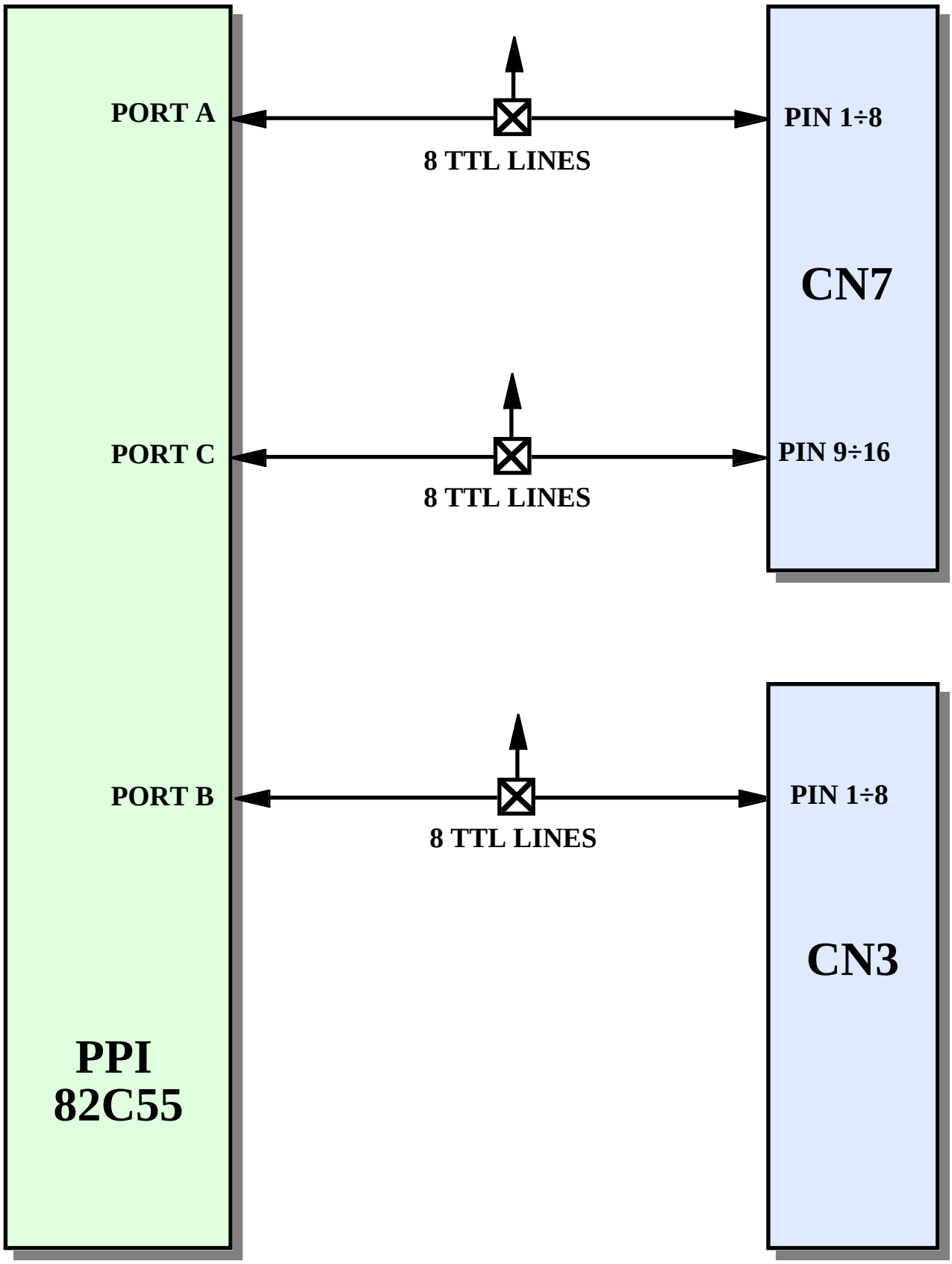


FIGURA 6: SCHEMA DEL COLLEGAMENTO I/O DEL PPI

CN1 - CONNETTORE PER I/O DELLA CPU

CN1 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini.
Tramite CN1 si effettua la connessione tra i Port 1 e 4 della CPU e l'ambiente esterno. Alcuni piedini di questo connettore hanno una duplice funzione infatti, via software, alcune sezioni interne della CPU possono essere multiplexate con i segnali di I/O. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO®**.

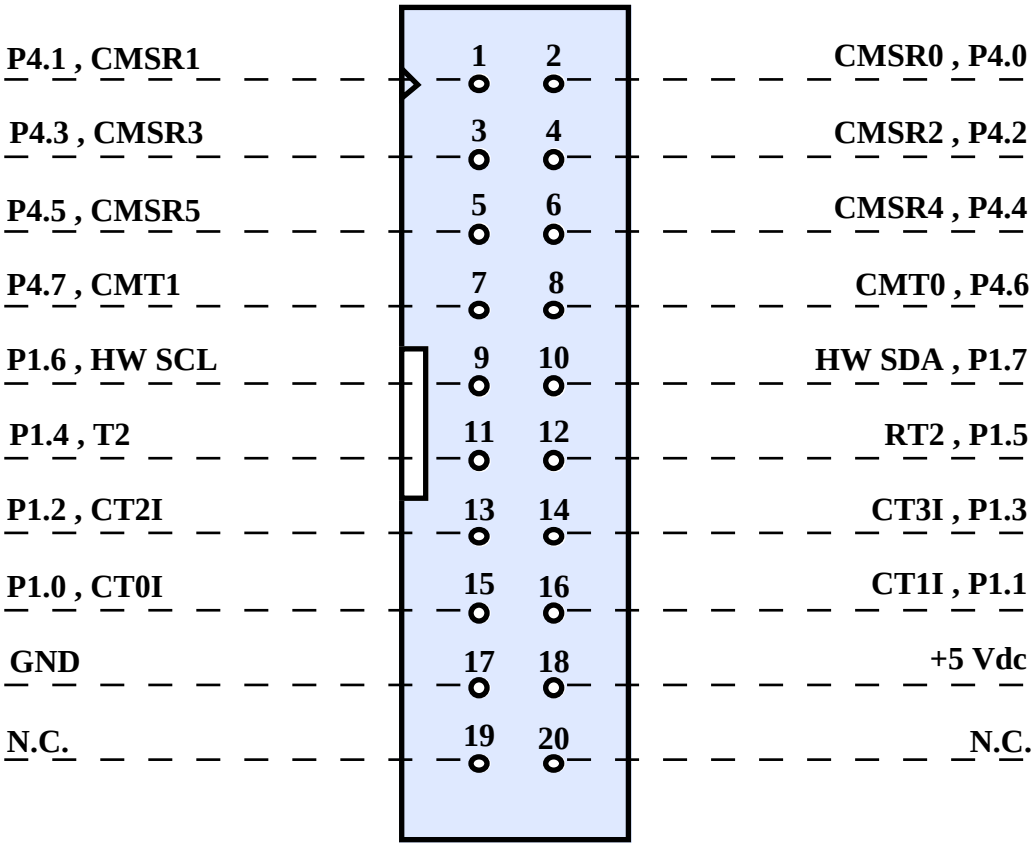


FIGURA 7: CN1 - CONNETTORE PER I/O DELA CPU

Legenda:

P1.n = I/O - Linea digitale n del Port 1 della CPU.
P4.n = I/O - Linea digitale n del Port 4 della CPU.
CMSRn = O - Linea n di comparazione e set/reset sull'uguaglianza, con timer 2 della CPU.
CMTn = O - Linea n di comparazione e complemento sull'uguaglianza, con timer 2 della CPU.
CTnI = I - Linea n di cattura del valore attuale timer 2 della CPU.
HW SDA = I/O - Linea dati della linea I2C BUS hardware.
HW SCL = I/O - Linea clock della linea I2C BUS hardware.
T2 = I - Linea di conteggio per timer 2 della CPU.
RT2 = I - Linea di azzeramento conteggio per timer 2 della CPU.
+5 Vdc = O - Linea di alimentazione a +5 Vdc
GND = - Linea di massa
N.C. = - Non Collegato

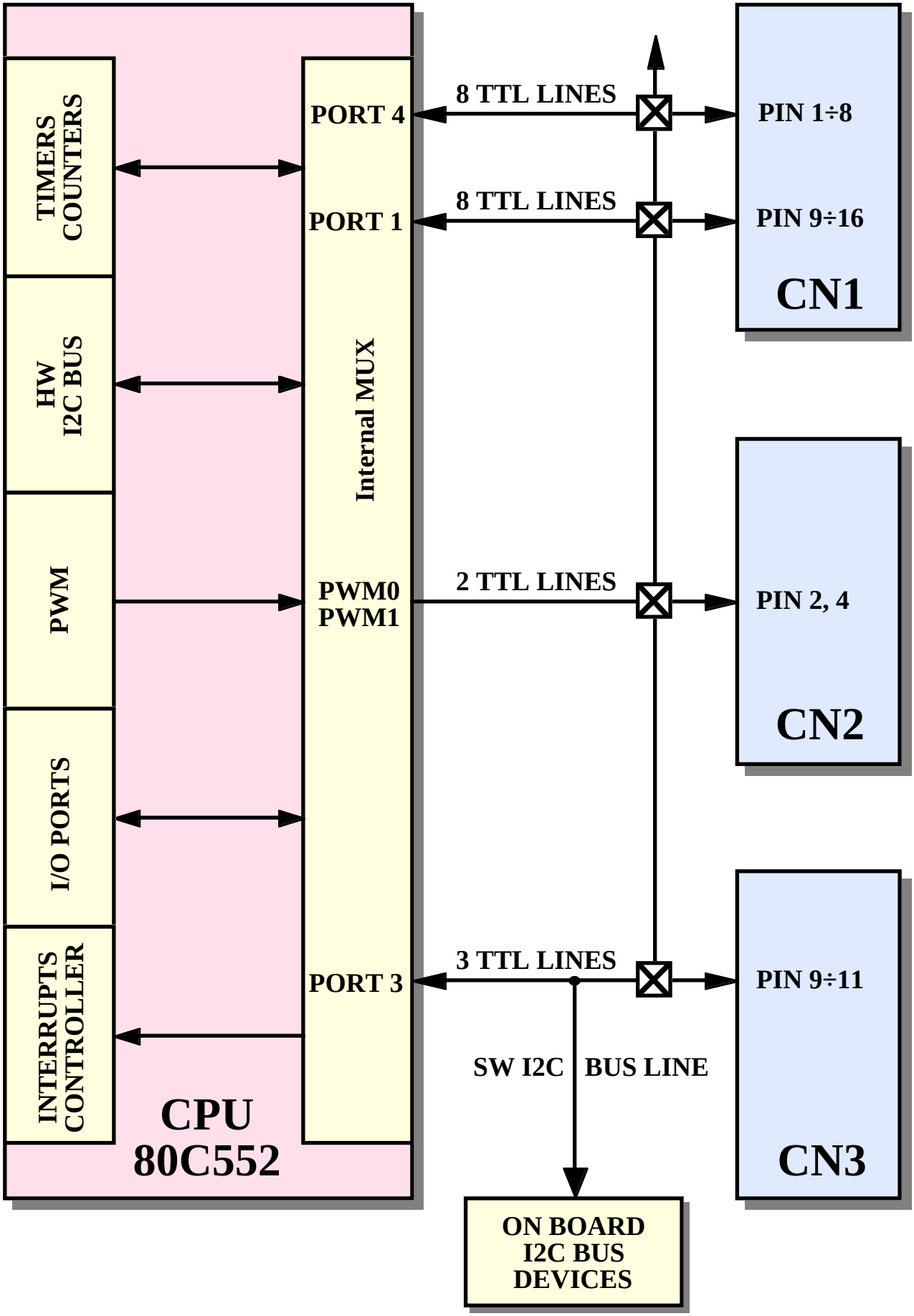


FIGURA 8: SCHEMA COLLEGAMENTO LINEE DI I/O DELLA CPU

CN4A - CONNETTORE PER LINEA SERIALE A

CN4A é un connettore femmina, a 90 gradi,, del tipo plug a 6 vie.
Sul connettore sono disponibili i segnali per la comunicazione della linea seriale A, in RS 232, RS 422, RS 485 o current loop che é fisicamente collegata alla sezione UART della CPU. La disposizione dei segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative allo standard utilizzato.

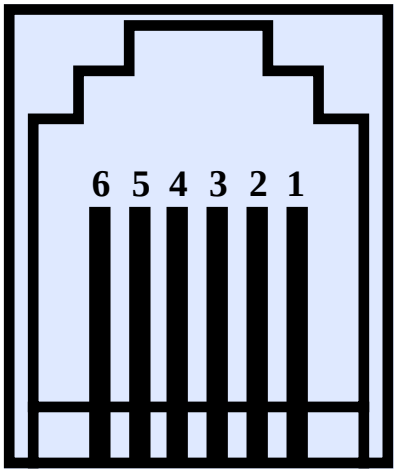


FIGURA 9: CN4A - CONNETTORE PER LINEA SERIALE A

Pin *Segnale* *Direzione* *Descrizione*

Linea seriale in RS 232:

5	**RXA RS232**	=	I	- Linea ricezione in RS 232 della seriale hardware=A.
2	**TXA RS232**	=	O	- Linea trasmissione in RS 232 della seriale hardware=A.
6	**GND**	=		- Linea di massa.

Linea seriale in RS 422:

4	**RXA- RS422**	=	I	- Linea bipolare negativa di ricezione differenziale in RS 422 della seriale hardware=A.
5	**RXA+ RS422**	=	I	- Linea bipolare positiva di ricezione differenziale in RS 422 della seriale hardware=A.
3	**TXA- RS422**	=	O	- Linea bipolare negativa di trasmissione differenziale in RS 422 della seriale hardware=A.
2	**TXA+ RS422**	=	O	- Linea bipolare positiva di trasmissione differenziale in RS 422 della seriale hardware=A.
6	**GND**	=		- Linea di massa.

Linea seriale in RS 485:

4	**RXTXA- RS485**	=	I/O	- Linea bipolare negativa di ricezione e trasmissione differenziale in RS 485 della seriale hardware=A.
5	**RXTXA+ RS485**	=	I/O	- Linea bipolare positiva di ricezione e trasmissione differenziale in RS 485 della seriale hardware=A.
6	**GND**	=		- Linea di massa.

Pin *Segnale* *Direzione* *Descrizione*

Linea seriale in Current loop:

4 **RXA- C.L.** = I - Linea bipolare negativa di ricezione in Current loop della seriale hardware=A.

5 **RXA+ C.L.** = I - Linea bipolare positiva di ricezione in Current loop della seriale hardware=A.

2 **TXA- C.L.** = O - Linea bipolare negativa di trasmissione in Current loop della seriale hardware=A.

3 **TXA+ C.L.** = O - Linea bipolare positiva di trasmissione in Current loop della seriale hardware=A.

Collegamenti sempre presenti:

1 **+5 Vdc , GND** = O - Linea di alimentazione a +5 Vdc o linea di massa (a seconda di J19).

6 **GND** = - Linea di massa.

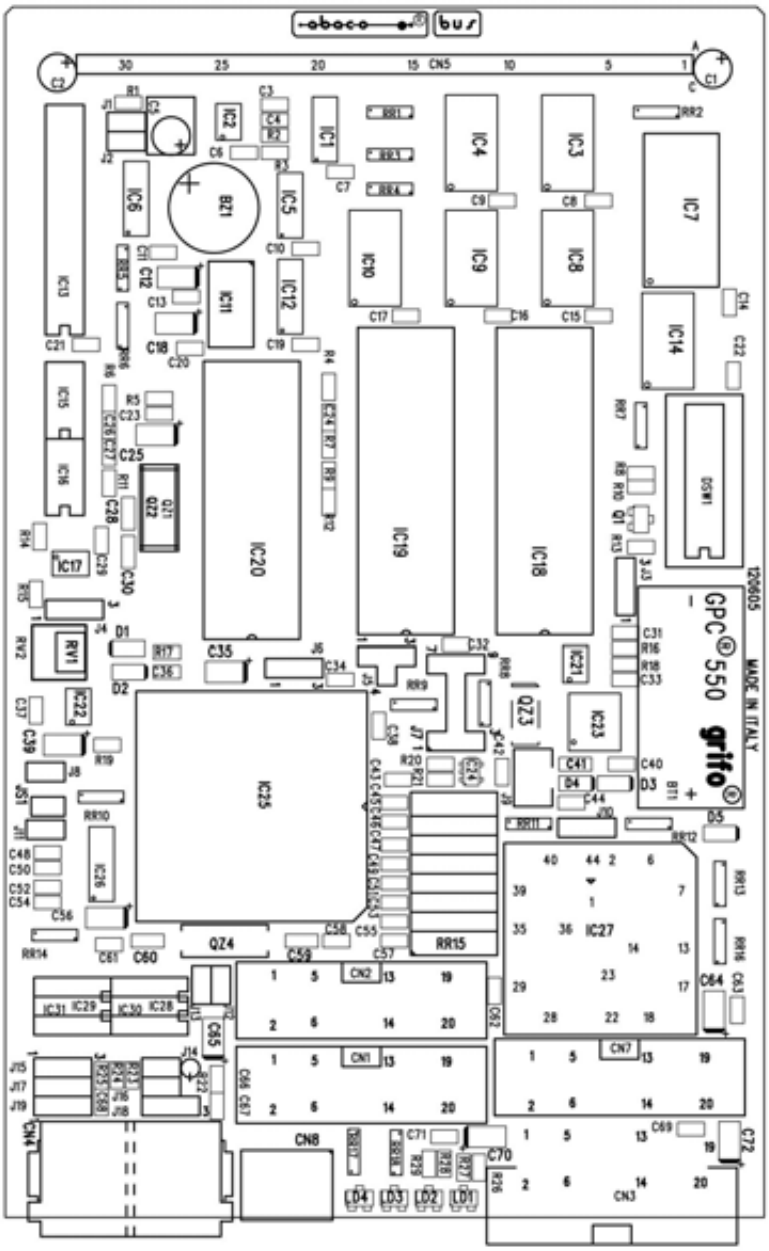


FIGURA 10: PIANTA COMPONENTI LATO STAGNATURE

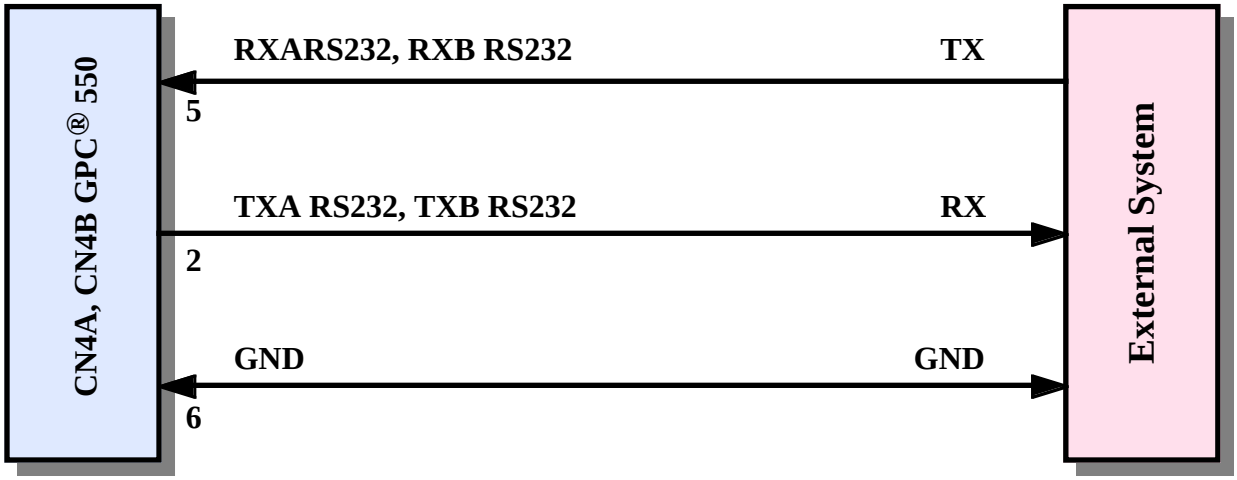


FIGURA 11: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232

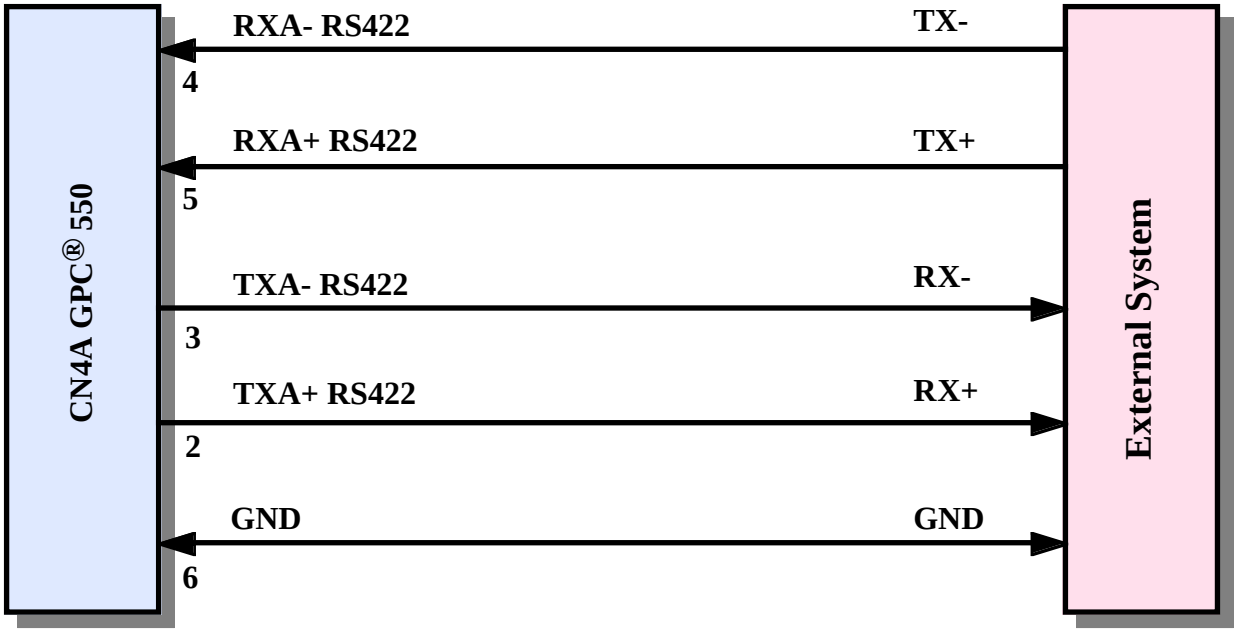


FIGURA 12: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 422

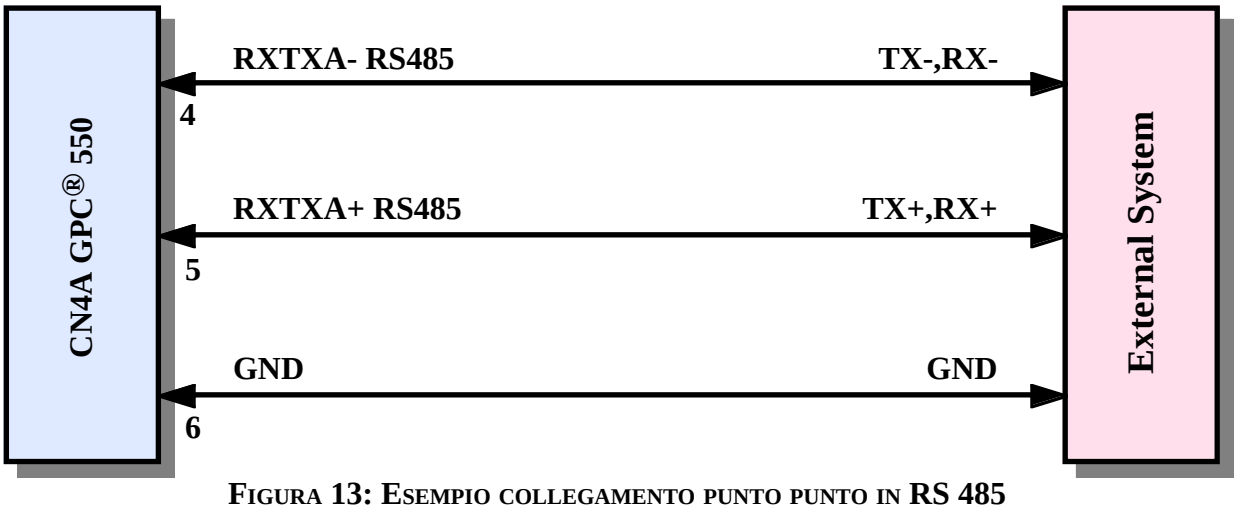


FIGURA 13: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485

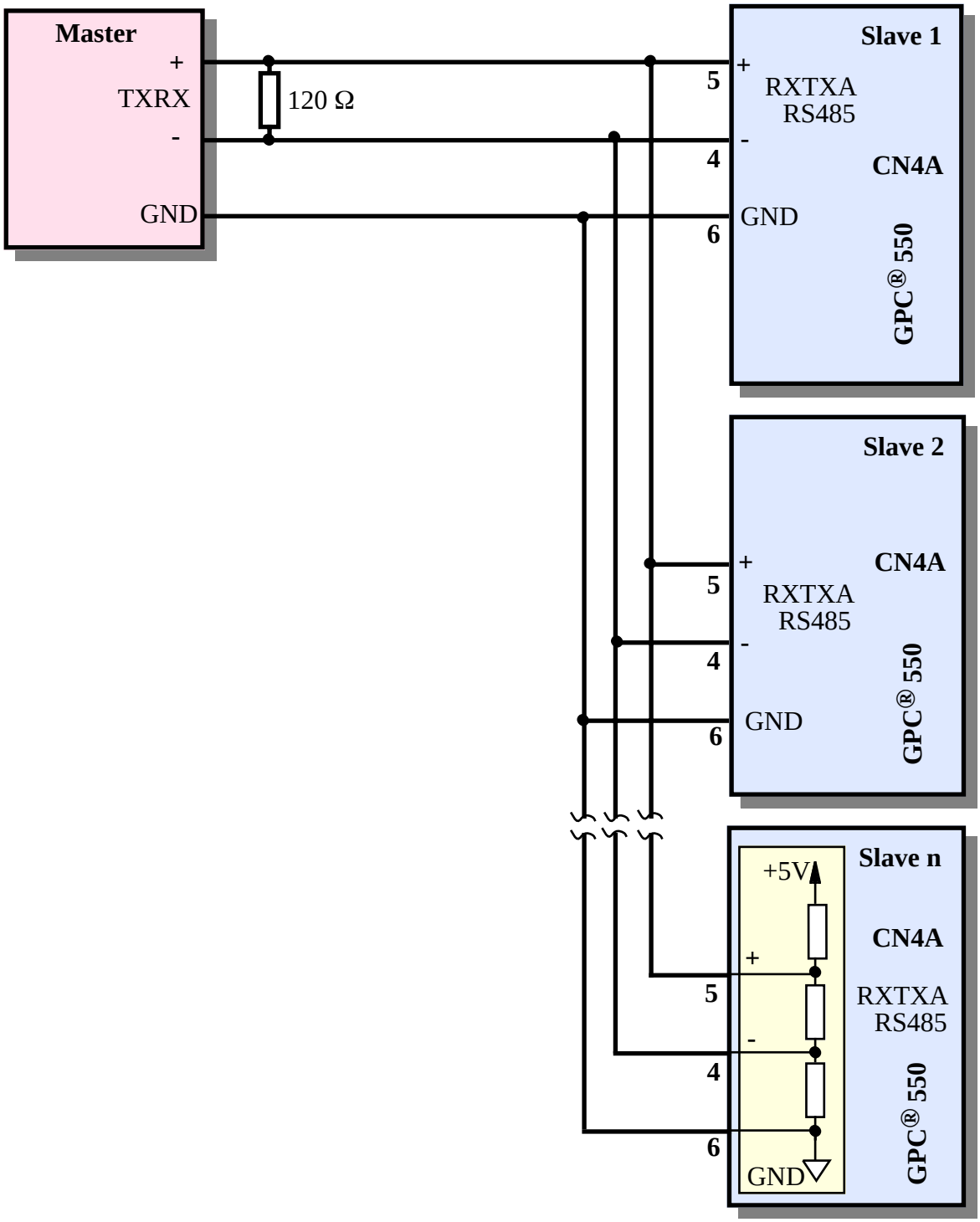


FIGURA 14: ESEMPIO COLLEGAMENTO IN RETE RS 485

Da notare che in una rete RS 485, devono essere presenti due resistenze di forzatura lungo la linea e due resitenze di terminazione (120 Ω), alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.
A bordo della **GPC® 550** è presente la circuiteria di terminazione e forzatura, che può essere inserita o disinserita, tramite appositi jumpers, come illutrato in seguito.
In merito alla resistenza di terminazione dell'unità Master, provvedere a collegarla solo se questa non é già presente al suo interno (ad esempio molti convertitori RS232-RS485 ne sono già provvisti).
Per maggiori informazioni consultare il Data-Book TEXAS INSTRUMENTS, "*RS 422 and RS 485 Interface Cicuits*", nella parte introduttiva riguardante le reti RS 422-485.

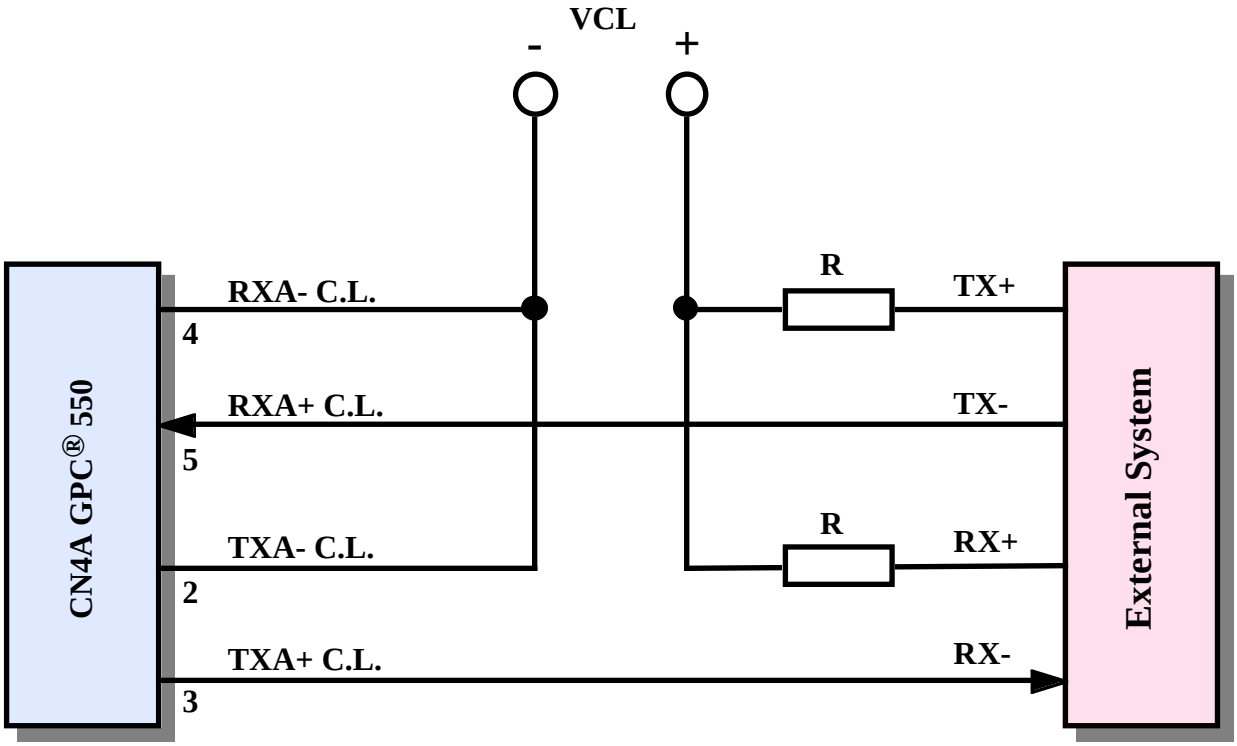


FIGURA 15: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 4 FILI

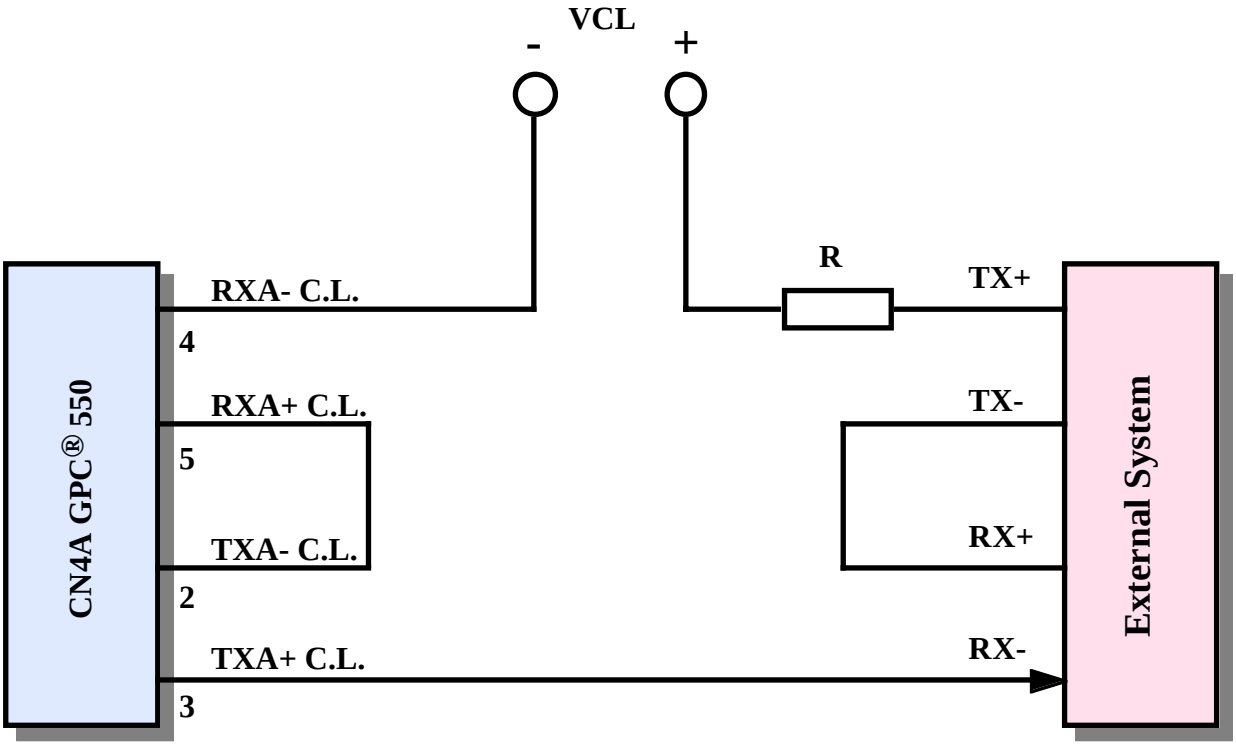


FIGURA 16: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 2 FILI

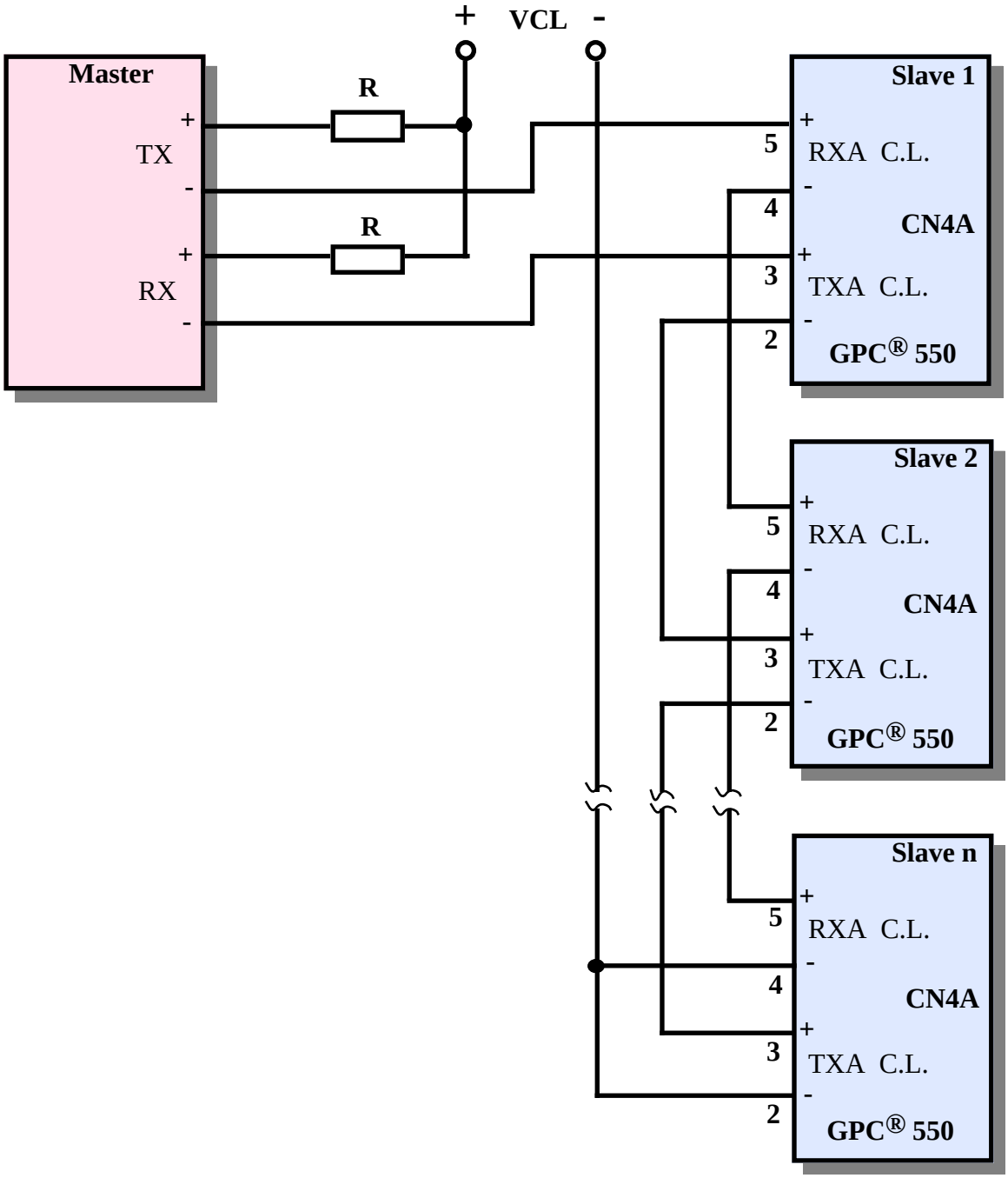


FIGURA 17: ESEMPIO DI COLLEGAMENTO IN RETE CURRENT LOOP

Per il collegamento in current loop passivo sono possibili due diversi tipi di collegamento: a 2 fili ed a 4 fili. Tali connessioni sono riportate nelle figure 15÷17; in esse é indicata la tensione per alimentare l'anello (**VCL**) e le resistenze di limitazione della corrente (**R**). I valori di tali componenti variano in funzione del numero di dispositivi collegati e della caduta sul cavo di collegamento; bisogna quindi effettuare la scelta considerando che:

- si deve garantire la circolazione di una corrente di **20 mA**;
- su ogni trasmettitore cadono mediamente **2,35 V** con una corrente di 20 mA;
- su ogni ricevitore cadono mediamente **2,52 V** con una corrente di 20 mA;
- in caso di cortocircuito sulla rete ogni trasmettitore dissipi al massimo **125 mW**;
- in caso di cortocircuito sulla rete ogni ricevitore dissipi al massimo **90 mW**.

Per maggiori informazioni consultare il Data-Book HEWLETT-PACKARD, nella parte che riguarda gli opto accoppiatori per current loop denominati **HCPL 4100** e **HCPL 4200**.

CN4B - CONNETTORE PER LINEA SERIALE B

CN4B é un connettore femmina, a 90 gradi, del tipo plug a 6 vie.
Sul connettore sono disponibili i segnali per la comunicazione della linea seriale B, in RS 232, che é fisicamente collegata alla seriale software della scheda. La disposizione dei segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative allo standard RS 232.

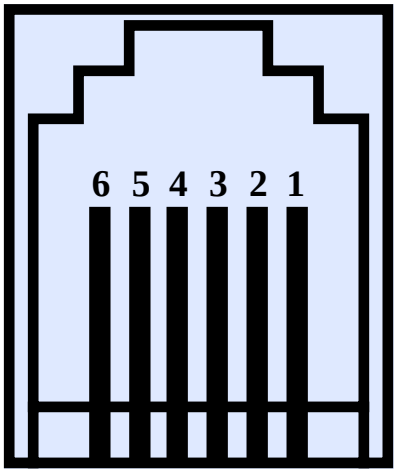


FIGURA 18: CN4B - CONNETTORE PER LINEA SERIALE B

Pin	*Segnale*	*Direzione*	*Descrizione*

Linea seriale in RS 232:

5	**RXB RS232**	=	I	- Linea ricezione in RS 232 della seriale software=B.
2	**TXB RS232**	=	O	- Linea trasmissione in RS 232 della seriale software=B.
6	**GND**	=		- Linea di massa.

Collegamenti sempre presenti:

1	**+5 Vdc , GND**	=	O	- Linea di alimentazione a +5 Vdc o linea di massa (a seconda di J18).
6	**GND**	=		- Linea di massa.
3	**N.C.**	=		- Non collegato.
4	**N.C.**	=		- Non collegato.

La connessione alle linee seriali della **GPC® 550** sui connettori CN4A e CN4B, può essere facilmente effettuata sfruttando gli appositi cavi di comunicazione seriale denominati **CCR.Plugxxx**. Tra gli accessori della **grifo®** esistono numerosi modelli di questi cavi che su un lato hanno il connettore plug maschio e sull'altro un connettore a vaschetta D, con vari formati e diverse disposizioni segnali. Ad esempio esistono cavi per il collegamento diretto a PC, modem, stampanti seriali, pannelli operatore **QTP xxx**, ecc.

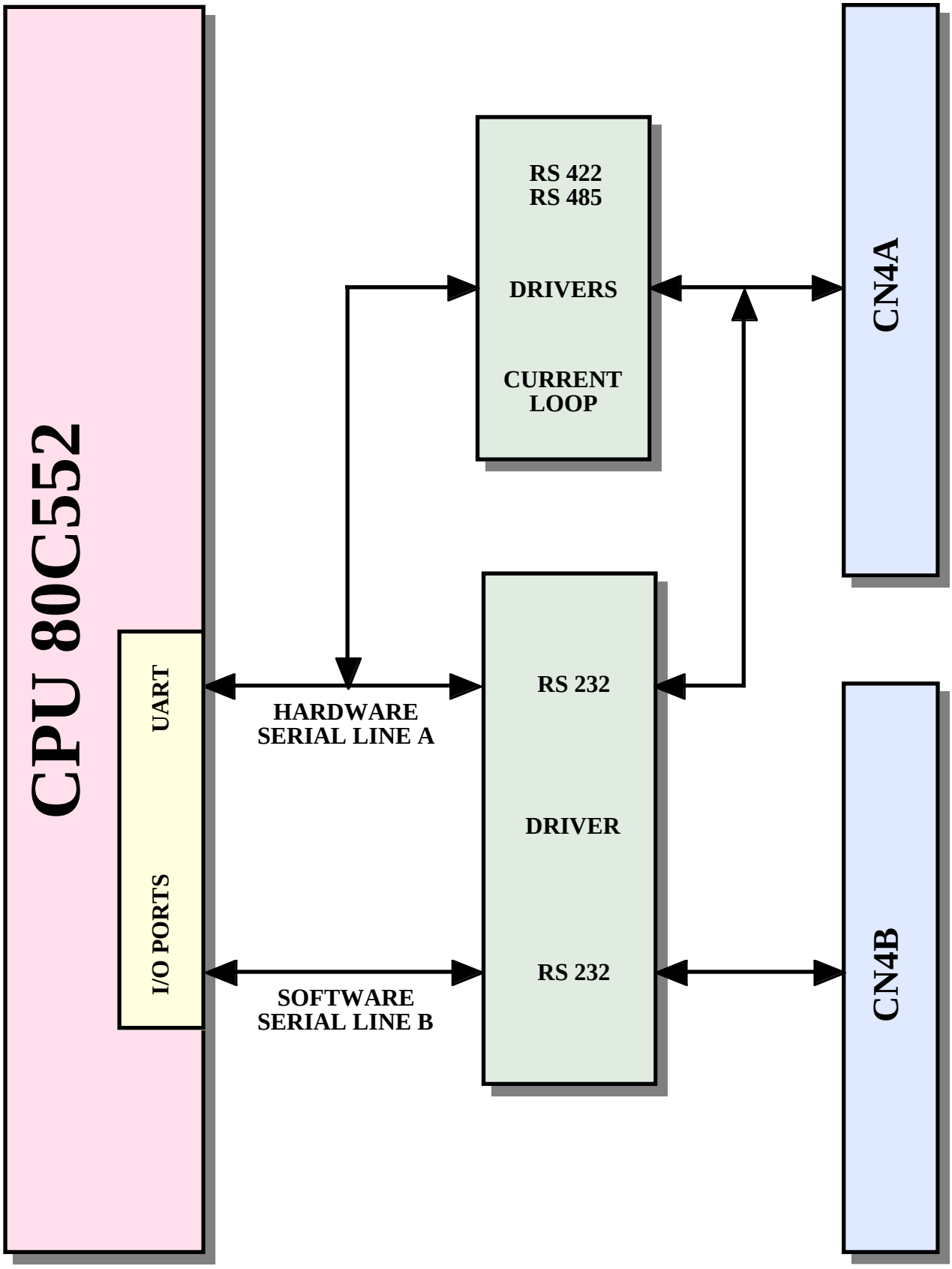


FIGURA 19: SCHEMA DI COMUNICAZIONE SERIALE

CN5 - CONNETTORE PER BUS ABACO®

CN5 è un connettore DIN 41612, corpo C, a 90 gradi, con passo 2.54 mm, da 64 piedini. Tramite CN5 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite il BUS industriale **ABACO®** di cui questo connettore riporta i segnali a livello TTL. Nella figura seguente è riportato il pin out del BUS e quindi anche del relativo connettore, con le variazioni per l'utilizzo di CPU a 16 Bit rispetto a quelle a 8 Bit.

Fila A BUS a 16 bit	Fila A BUS a 8 bit	Fila A GPC 550	PIN	Fila C GPC 550	Fila C BUS a 8 bit	Fila C BUS a 16 bit
GND	GND	GND	1	GND	GND	GND
+5 Vdc	+5 Vdc	+5 Vdc	2	+5 Vdc	+5 Vdc	+5 Vdc
D0	D0	D0	3	N.C.	-	D8
D1	D1	D1	4	N.C.	-	D9
D2	D2	D2	5	N.C.	-	D10
D3	D3	D3	6	N.C.	/INT	/INT
D4	D4	D4	7	N.C.	/NMI	/NMI
D5	D5	D5	8	N.C.	/HALT	D11
D6	D6	D6	9	N.C.	/MREQ	/MREQ
D7	D7	D7	10	/IORQ	/IORQ	/IORQ
A0	A0	A0	11	/RD	/RD	/RDLDS
A1	A1	A1	12	/WR	/WR	/WRLDS
A2	A2	A2	13	N.C.	/BUSAK	D12
A3	A3	A3	14	N.C.	/WAIT	/WAIT
A4	A4	A4	15	N.C.	/BUSRQ	D13
A5	A5	A5	16	/RESET	/RESET	/RESET
A6	A6	A6	17	N.C.	/M1	/IACK
A7	A7	A7	18	N.C.	/RFSH	D14
A8	A8	N.C.	19	N.C.	/MEMDIS	/MEMDIS
A9	A9	N.C.	20	N.C.	VDUSEL	A22
A10	A10	N.C.	21	N.C.	/IEI	D15
A11	A11	N.C.	22	N.C.	-	-
A12	A12	N.C.	23	N.C.	CLK	CLK
A13	A13	N.C.	24	N.C.	-	/RDUDS
A14	A14	N.C.	25	N.C.	-	/WRUDS
A15	A15	N.C.	26	N.C.	-	A21
A16	-	N.C.	27	N.C.	-	A20
A17	-	N.C.	28	N.C.	-	A19
A18	-	N.C.	29	/R.T.	/R.T.	/R.T.
+12 Vdc	+12 Vdc	N.C.	30	N.C.	-12 Vdc	-12 Vdc
+5 Vdc	+5 Vdc	+5 Vdc	31	+5 Vdc	+5 Vdc	+5 Vdc
GND	GND	GND	32	GND	GND	GND

FIGURA 20: CN5 - CONNETTORE PER BUS ABACO®

Legenda:

CPU a 8 bit

A0-A15 = O - Address BUS: BUS degli indirizzi.
D0-D7 = I/O - Data BUS: BUS dei dati.
/INT = I - Interrupt request: richiesta d'interrupt.
/NMI = I - Non Mascherable Interrupt: richiesta d'interrupt non mascherabile.
/HALT = O - Halt state: stao di Halt.
/MREQ = O - Memory Request: richiesta di operazione in memoria.
/IORQ = O - Input Output Request: richiesta di operazione in Input Output.
/RD = O - Read cycle status: richiesta di lettura.
/WR = O - Write cycle status: richiesta di scrittura.
/BUSAK = O - BUS Acknowledge: riconoscimento della richiesta di utilizzo del BUS.
/WAIT = I - Wait: Attesa.
/BUSRQ = I - BUS Request: richiesta di utilizzo del BUS.
/RESET = O - Reset: azzeramento.
/M1 = O - Machine cycle one: primo ciclo macchina.
/RFSH = O - Refresh: rinfresco per memorie dinamiche.
/MEMDIS = I - Memory Display: segnale emesso dal dispositivo periferico mappato in memoria.
VDUSEL = O - VDU Selection: abilitazione per il dispositivo periferico ad essere mappato in memoria.
/IEI = I - Interrupt Enable Input: abilitazione interrupt da BUS in catene di priorità.
CLK = O - Clock: clock di sistema.
/R.T. = I - Reset Tast: tasto di reset.
+5 Vdc = I - Linea di alimentazione a +5 Vcc.
+12 Vdc = I - Linea di alimentazione a +12 Vcc.
-12 Vdc = I - Linea di alimentazione a -12 Vcc.
GND = - Linea di massa per tutti i segnali del BUS.
N.C. = - Non Collegato

CPU a 16 bit

A0-A22 = O - Address BUS: BUS degli indirizzi.
D0-D15 = I/O - Data BUS: BUD dei dati.
/RD UDS = O - Read Upper Data Strobe: lettura del byte superiore sul BUS dati.
/WR UDS = O - Write Upper Data Strobe: scrittura del byte superiore sul BUS dati.
/IACK = O - Interrupt Acknowledge: riconoscimento della richiesta d'interrupt da parte della CPU.
/RD LDS = O - Read Lower Data Strobe: lettura del byte inferiore sul BUS dati.
/WR LDS = O - Write Lower Data Strobe: scrittura del byte inferiore sul BUS dati.

N.B.
Le indicazioni di direzionalità sopra riportate sono riferite ad una scheda di comando (**CPU** o **GPC®**) e sono state mantenute inalterate in modo da non avere ambiguità d'interpretazione nel caso di sistemi composti da più schede.

CN2 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM

CN2 é un connettore a scatolino, verticale, con passo 2.54 mm a 20 piedini.
Tramite CN2 possono essere collegate le 8 linee analogiche d'ingresso ed i due segnali PWM con il campo esterno. Le prime sono direttamente collegate alla sezione A/D, sono ad alta impedenza, sono provviste di un condensatore di filtro e possono variare nel range 0÷2,49 V. Tramite l'installazione di un opportuno modulo di conversione (**.8420**) é inoltre possibile collegare agli 8 ingressi dei segnali in corrente nel range 0÷20 mA o 4÷20 mA. La disposizione dei segnali su questo connettore é studiata in modo da ridurre tutti i problemi di rumore ed interferenza, garantendo quindi un'ottima trasmissione dei segnali, e segue lo standard A/D **ABACO®**.
Molti dei segnali di questo connettore hanno una duplice funzione infatti, via software, la sezione interna ADC della CPU può essere multiplexata con i segnali digitali di ingresso a livello TTL.

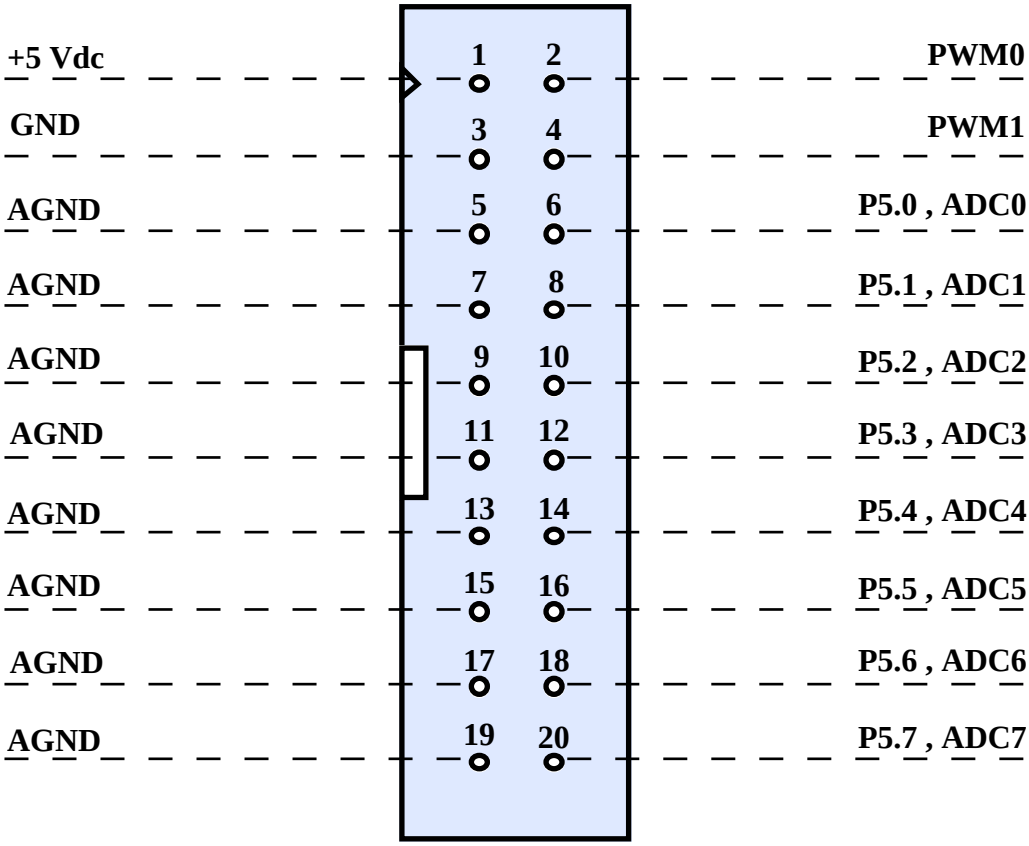


FIGURA 21: CN2 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM

Legenda:

ADCn	=	I	- Linea analogica d'ingresso collegata al canale n della sezione A/D converter.
P5.n	=	I	- Linea digitale n del Port 5 della CPU.
PWM0	=	O	- Linea PWM n. 0 della CPU.
PWM1	=	O	- Linea PWM n. 1 della CPU.
AGND	=		- Linea di massa analogica
+5 Vdc	=	O	- Linea di alimentazione a +5 Vdc
GND	=		- Linea di massa

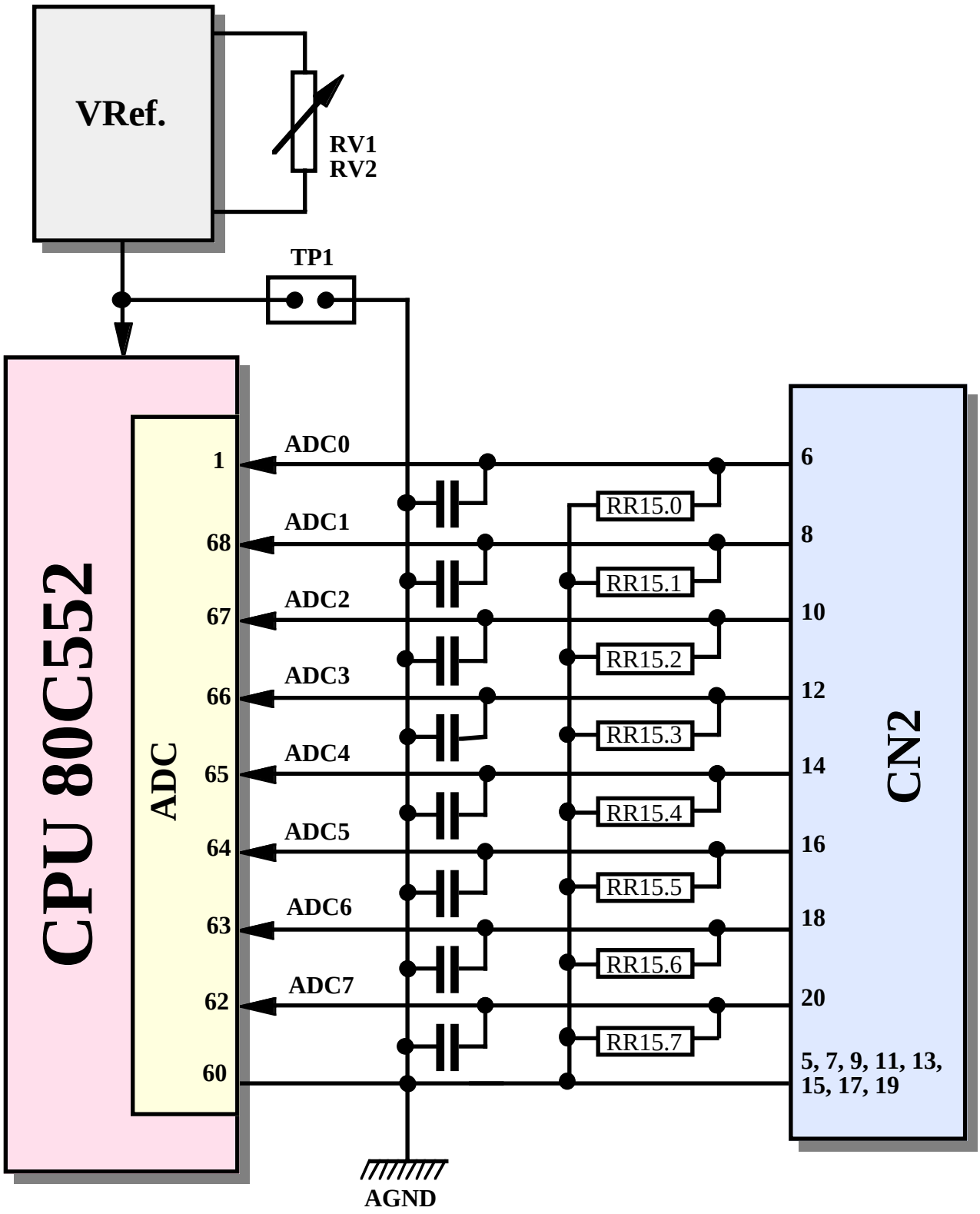


FIGURA 22: SCHEMA DI COLLEGAMENTO A/D CONVERTER

CN8 - CONNETTORE PER LINEA CAN

CN8 é un connettore a morsettiera, a rapida estrazione, a 90 gradi, maschio, con passo 3,5 mm, a 3 piedini.
Tramite CN8 si può collegare la scheda ad una linea di comunicazione seriale CAN ottenendo un veloce, comodo ed efficiente nodo sul BUS di campo definito dallo stesso protocollo. La disposizione dei segnali é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, seguendo le normative dello stesso standard.

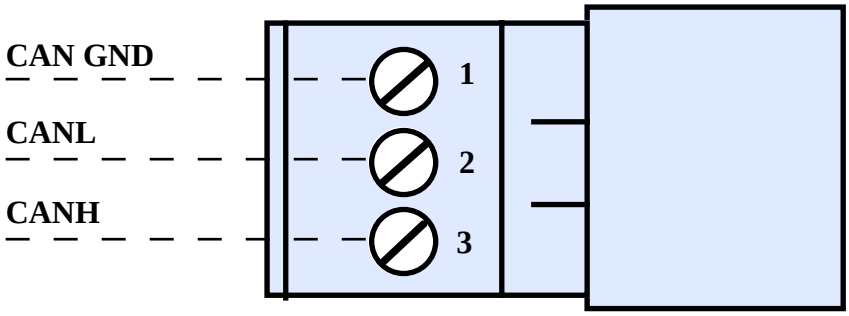


FIGURA 23: CN8 - CONNETTORE PER LINEA CAN

Legenda:

CANL = I/O - Linea differenziale low per CAN BUS.
CANH = I/O - Linea differenziale high per CAN BUS.
CAN GND = - Linea di massa della linea CAN.

N.B.
La tensione di alimlentazione della sezione CAN é galvanicamente isolata dalla tensione di alimentazione della **GPC® 550** quindi il segnale CAN GND non deve essere collegato ai segnali GND ed AGND presenti sugli altri connettori. Per ulteriori informazioni consultare il paragrafo "ALIMENTAZIONE".

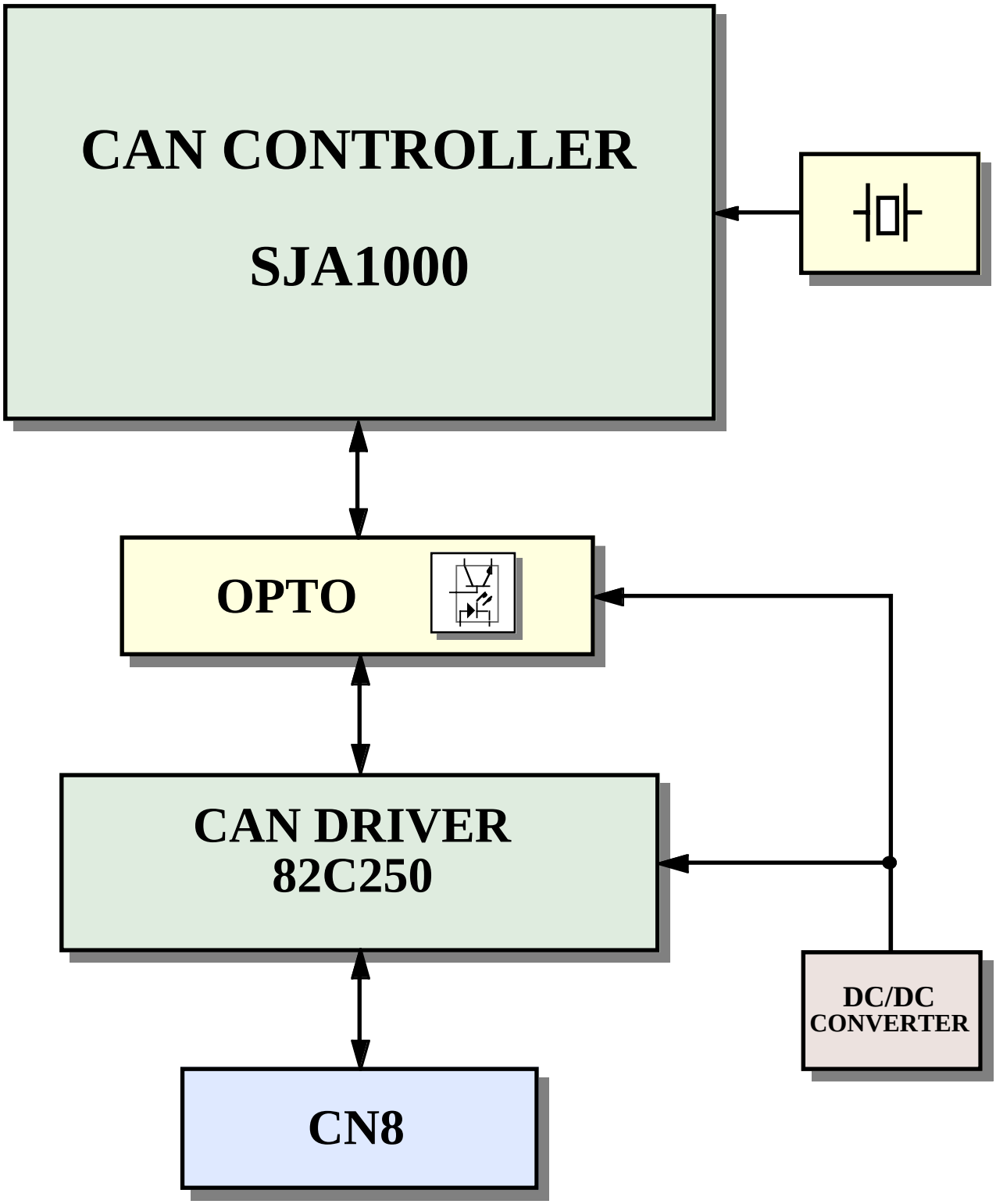


FIGURA 24: SCHEMA DI COLLEGAMENTO LINEA CAN

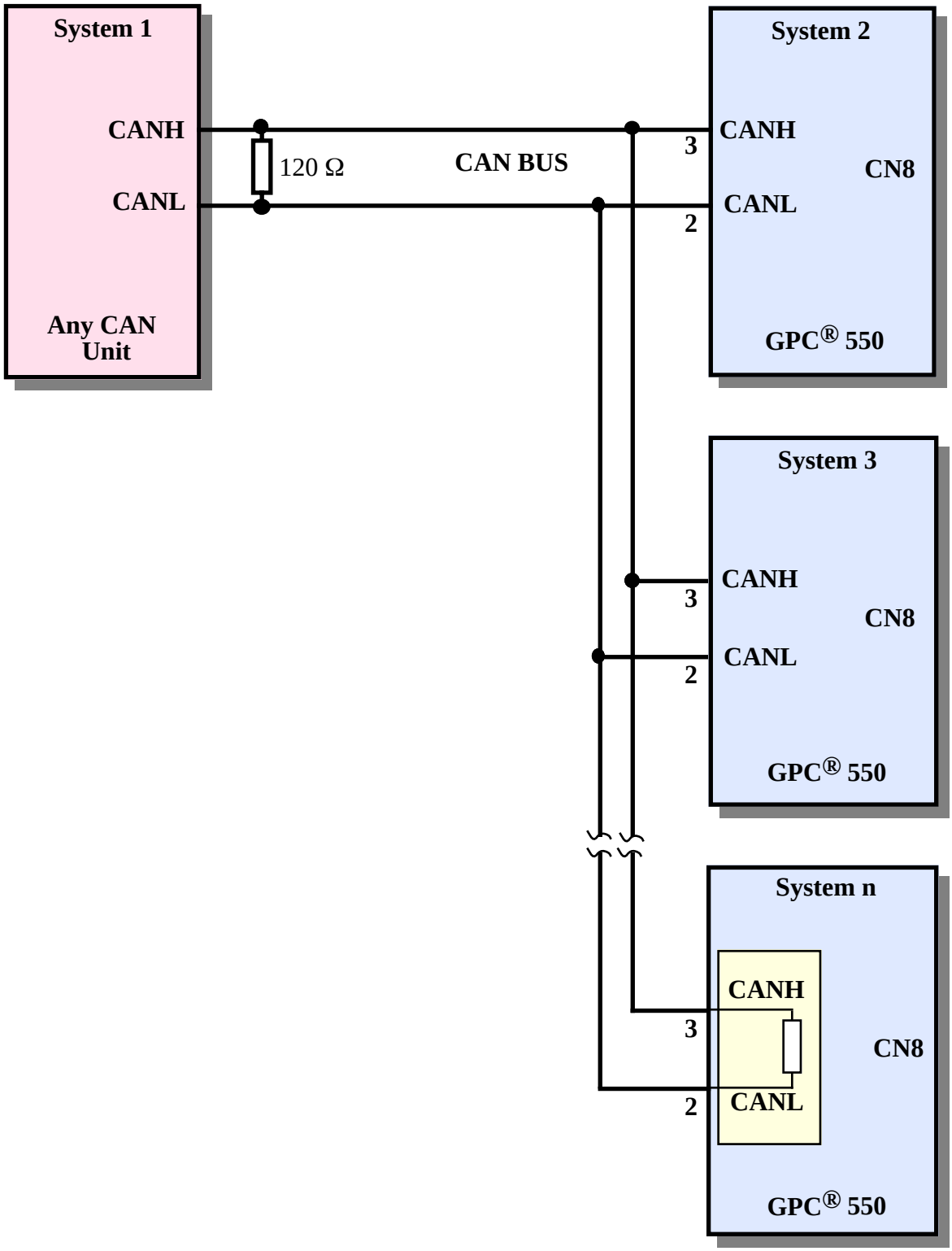


FIGURA 25: ESEMPIO COLLEGAMENTO IN RETE CON BUS CAN

Da notare che una rete CAN, deve avere un'impedenza di linea di 60 Ω e per questa ragione lungo la linea possono essere presenti due resitenze di terminazione (120 Ω), alle estremità della stessa. A bordo della **GPC® 550** è presente la circuiteria di terminazione che può essere inserita o disinserita, tramite un apposito jumper, come illutrato in seguito.
Qualora i sistemi collegati sulla rete CAN risultino a differenze di potenziale elevate si può ovviare ad eventuali problemi di comunicazione e/o funzionamento, collegando anche le masse dei sistemi ovvero il pin 1 di CN8.

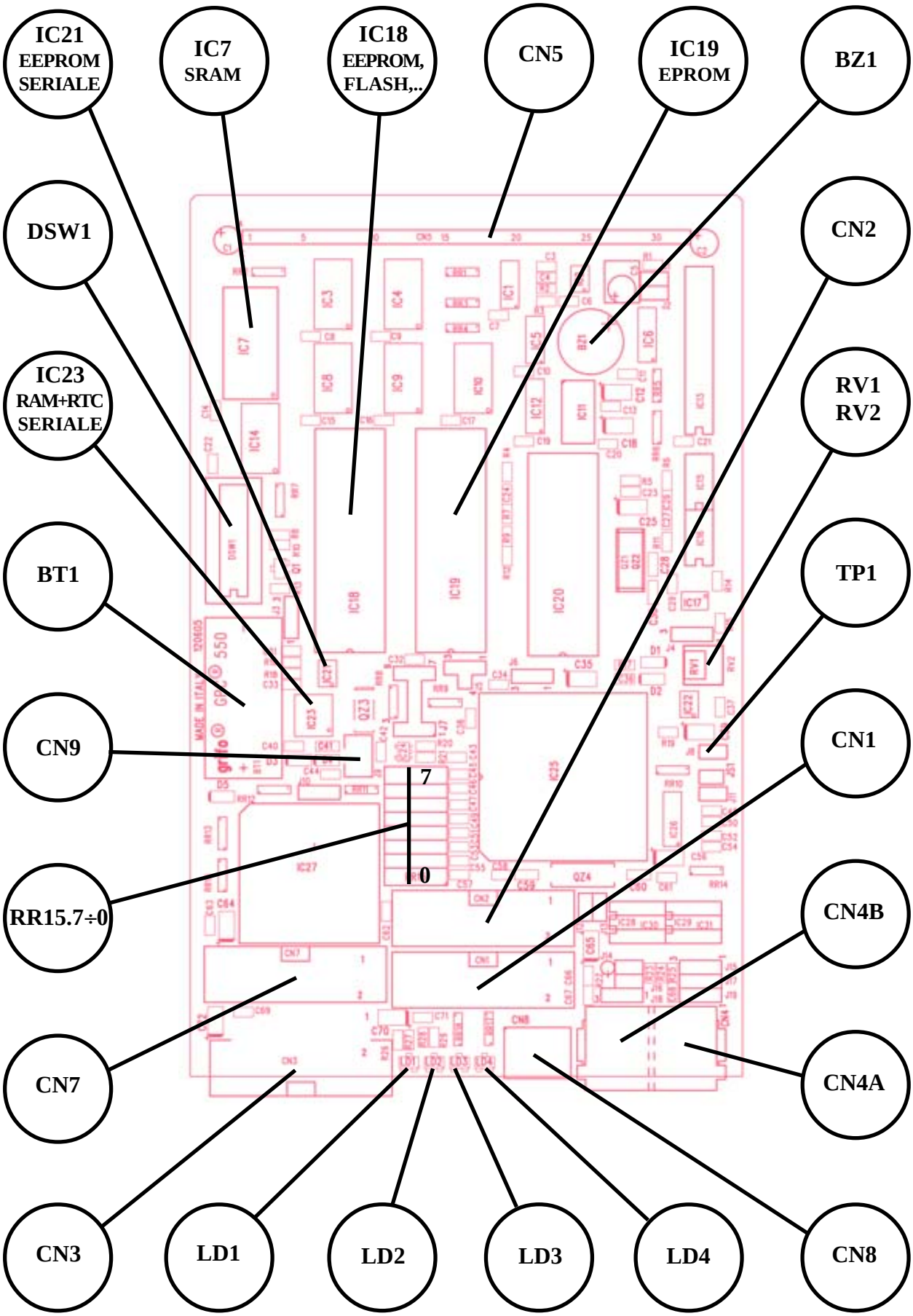


FIGURA 26: DISPOSIZIONE CONNETTORI, TRIMMER, BATTERIA, MEMORIE, ECC.

INTERFACCIAMENTO CONNETTORI CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 550** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione. Inoltre si devono rispettare tutte le indicazioni descritte nei punti successivi:

- Per i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485, current loop e CAN fare riferimento alle specifiche standard di ognuno di questi protocolli.

- Tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1. Fare riferimento al paragrafo "CARATTERISTICHE ELETTRICHE" per ottenere il valore delle resistenze di pull up, collegate a tutte le linee di I/O digitale TTL della scheda.

- I segnali d'ingresso alla sezione A/D devono essere collegati a segnali analogici che rispettino il range di variazione ammesso 0÷2,49 V oppure 0÷20 mA. Tali ingressi sono ad alta impedenza ma, se deve essere realizzata una circuiteria d'interfaccia, é sempre preferibile generare dei segnali a bassa impedenza che assicurano una miglior stabilità e precisione. Da notare che gli 8 ingressi analogici presenti su CN2 sono dotati di condensatori di filtro che garantiscono una maggiore stabilità sul segnale acquisito, ma che allo stesso tempo riducono la frequenza di taglio (1 MHz che é comunque superiore alla massima frequenza di acquisizione A/D=20 KHz).

- I segnali PWM sono a livello TTL e devono essere quindi opportunamente bufferati per essere interfacciati all'azionamento di potenza. Le classiche circuiterie da interporre possono essere dei semplici driver di corrente se é ancora necessario un segnale PWM, oppure un integratore qualora sia necessario un segnale analogico.

- I segnali del BUS industriale **ABACO®** sono a livello TTL e sono bufferati in modo da garantire una maggiore protezione contro i disturbi esterni ed il comando di un maggior numero di schede periferiche di espansione. Il numero di quest'ultime deve essere comunque sempre opportunamente stabilito per evitare problemi di fan-out. Per quanto riguarda le forme d'onda e le tempistiche dei segnali presenti su CN5 si consiglia di contattare direttamente la **grifo®**; la figura A-6 invece presenta uno schema elettrico che illustra come interfacciarsi al meglio a questo connettore.

- Anche i segnali I2C BUS sono a livello TTL, come definito dallo stesso standard; per completezza si ricorda solo che dovendo realizzare una rete con numerosi dispositivi e con una discreta lunghezza é senza dubbio preferibile usare la linea I2C BUS hardware. Lo stadio d'uscita, le molteplici modalità operative ed il bit rate programmabili consentono infatti di comunicare in ogni condizione operativa. Nella realizzazione di una rete I2C BUS si deve tener conto che su entrambe le interfacce I2C BUS della **GPC® 550** sono presenti delle resistenze di pull up, come illustrato nella figura 28.

COLLEGAMENTO LINEE I2C BUS

Le due linee di comunicazione sincrona I2C BUS sono presenti su altrettanti connettori della scheda e questi possono essere usati per il collegamento ai numerodi altri dispositivi con lo stesso tipo d'interfaccia. Nella figura seguente vengono elencati alcuni di questi dispositivi sia di produzione **grifo®** che di terze parti.

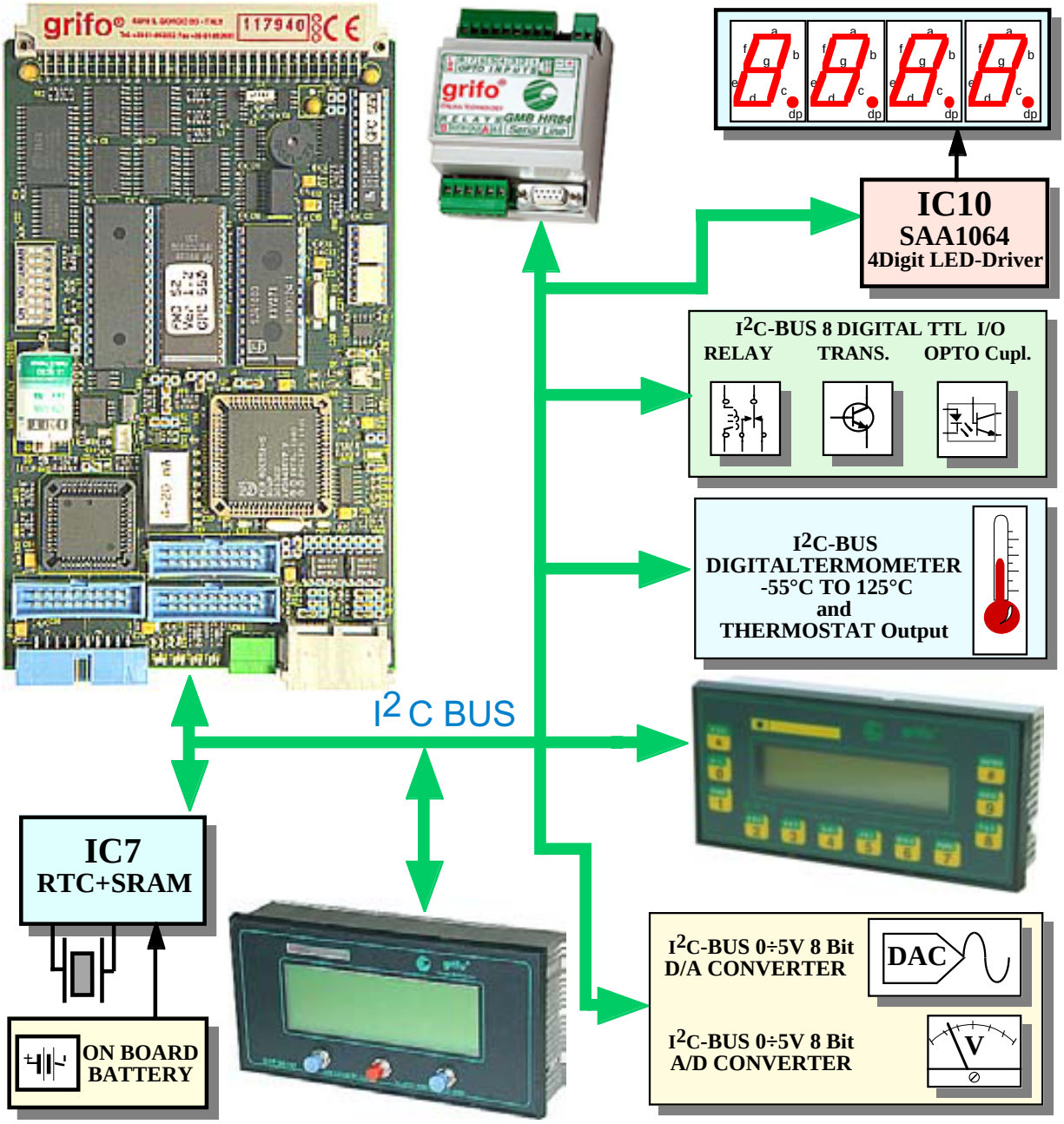


FIGURA 27: ESEMPIO COLLEGAMENTO DISPOSITIVI I2C BUS

La successiva figura illustra invece come fisicamente interconnettere diversi dispositivi con interfaccia I2C BUS, su una rete locale. Si ricorda che questo standard di comunicazione deve essere usato su brevi distanze ed in un ambiente pulito dal punto di vista elettrico. Inoltre si sottolinea che l'interfaccia I2C BUS hardware é indubbiamente preferibile a quella software, in quanto é basata su un vero e proprio controllore in grado di: riconoscere e gestire gli eventuali errori e collisioni, comunicare in tutte le modalità sia come master che slave, non impegnare la CPU, ecc.

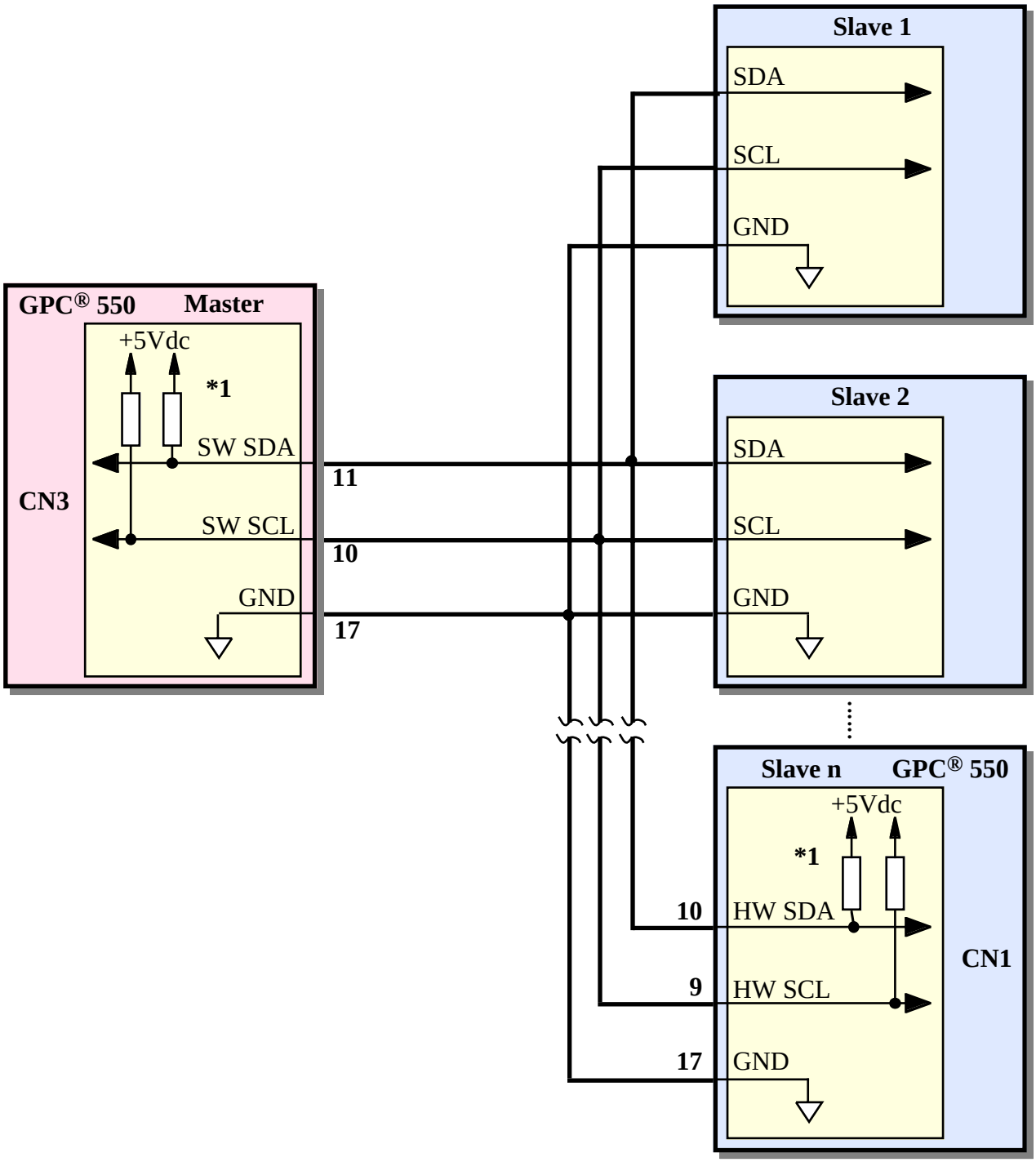


FIGURA 28: ESEMPIO COLLEGAMENTO IN RETE I2C BUS

Da notare che in una rete I2C BUS, devono essere presenti due resistenze di pull up alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.
A bordo della **GPC® 550** sono sempre presenti tali resistenze (***1**) ma il loro valore si differenzia come indicato nel paragrafo "CARATTERISTICHE ELETTRICHE". L'utente deve quindi scegliere e/o configurare i dispositivi I2C BUS da collegare, tenendo conto di questa caratteristica.
Per maggiori informazioni consultare il documento "*I2C BUS Specification*", della PHILIPS.

TRIMMER E TARATURE

Sulla **GPC® 550** é presente il trimmer RV1 o RV2 utilizzato per la taratura della scheda; tale componente permette di fissare il valore della tensione di riferimento su cui si basa la sezione di A/D converter.
La scheda viene sottoposta ad un accurato test di collaudo che provvede a verificare la funzionalità della stessa ed allo stesso tempo a tararla in tutte le sue parti. La taratura viene effettuata in laboratorio a temperatura costante di +20 gradi centigradi, seguendo la procedura di seguito descritta:

- Si effettua la taratura di precisione della Vref della sezione A/D ad un valore di 2,490 V regolando il trimmer RV1 o RV2, tramite un multimetro galvanicamente isolato a 5 cifre, collegato sui due pin del test point TP1.

- Si verifica la corrispondenza tra segnale analogico fornito in ingresso e combinazione letta dalla sezione A/D converter. La verifica viene effettuata fornendo un segnale di verifica con un calibratore campione e controllando che la differenza tra la combinazione determinata dalla scheda e quella determinata in modo teorico, non superi la somma degli errori della sezione A/D.

- Si blocca il trimmer della scheda, opportunamente tarato, tramite vernice.

Le sezioni d'interfaccia analogica utilizzano componenti di alta precisione che vengono addirittura scelti in fase di montaggio, proprio per evitare lunghe e complicate procedure di taratura. Per questo una volta completato il test di collaudo e quindi la taratura, il trimmer RV1 o RV2 viene bloccato, in modo da garantire una immunità della taratura anche ad eventuali sollecitazioni meccaniche (vibrazioni, spostamenti, ecc.).
L'utente di norma non deve intervenire sulla taratura della scheda, ma se lo dovesse fare (a causa di derive termiche, derive del tempo, ecc.) deve rigorosamente seguire la procedura sopra illustrata.
Per una facile individuazione di RV1 e TP1 a bordo scheda, si faccia riferimento alla figura 26.

TEST POINT

Come indicato nel precedente paragrafo, la scheda é provvista di un test point denominato TP1, che permette la lettura attraverso un multimetro galvanicamente isolato, della tensione di riferimento che viene regolata in laboratorio a Vref=2,490 V. Il TP1 é composto da due contatti con la seguente corrispondenza:

pin + (esterno)	->	Vref
pin - (interno)	->	GND

Per una facile individuazione del test point si faccia riferimento alla figura 26, per il riconoscimento dei due pin si utilizzi la serigrafia della scheda (oppure ricordare che le indicazioni interno ed esterno sopra usate, sono riferite al perimetro della scheda), mentre per ulteriori informazioni sul segnale Vref si veda il paragrafo “TRIMMER E TARATURE”.

SELEZIONE TIPO INGRESSI ANALOGICI

La scheda **GPC® 550**, può avere ingressi analogici in tensione e/o corrente, come descritto nei precedenti paragafi e capitoli. La selezione del tipo d'ingresso viene essere effettuata in fase di ordine della scheda montando un apposito modulo opzionale di conversione corrente-tensione basato su resistenze di caduta di precisione (codice opzione **.8420**). In particolare vale la corrispondenza:

RR15.0	->	canale 0
RR15.1	->	canale 1
RR15.2	->	canale 2
RR15.3	->	canale 3
RR15.4	->	canale 4
RR15.5	->	canale 5
RR15.6	->	canale 6
RR15.7	->	canale 7

Nel caso il modulo corrente-tensione non sia montato (default) il corrispondente canale accetta un ingresso in tensione nei range 0÷2,49 V, viceversa un ingresso in corrente.
Il valore della resistenza, su cui si basa il convertitore corrente-tensione, si ottiene dalla seguente formula:

R = 2,49 V / Imax

Normalmente i moduti di conversione corrente-tensione, si basano su resistenze di precisione da **124Ω**, relative ad ingressi 4÷20 mA o 0÷20 mA. Per una facile individuazione del modulo descritto e delle relative resistenze componenti, fare riferimento alla figura 26, mentre per esigenze al di fuori dei valori sopracitati si prega di contattare la **grifo®**.

INTERFACCIE PER I/O DIGITALI

Tramite CN1, CN3 e CN7 (connettori compatibili con standard di I/O **ABACO®**) si può collegare la **GPC® 550** ai numerosi moduli del carteggio **grifo®** che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfaccie richiedono solo un flat cable da 20 vie intestato con due connettori da 20 vie (FLT.20+20) con cui é possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione é altrettanto semplice ed immediata, infatti i pacchetti software disponibili per la **GPC® 550** sono provvisti di tutte le procedure necessarie. Quest'ultime per la maggioranza dei pacchetti software disponibili, coincidono con dei "driver software" o delle librerie aggiunti al linguaggio di programmazione, che consentono di utilizzare direttamente le istruzioni ad alto livello dello stesso linguaggio di programmazione e quindi tutta la loro potenza.
Di particolare interesse é la possibilità di collegare direttamente una serie di moduli come:

- **QTP 16P**, **QTP 24P**, **KDx x24**, **DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla **GPC® 550**. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.

- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo é dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con delle procedure che consentono di leggere e scrivere dati per ogni locazione della memory card.

- **IAC 01**, **DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.

- **RBO xx**, **TBO xx**, **XBI xx**, **OBI xx** con cui bufferare i segnali di I/O TTL nei confronti del campo. Con questi moduli i segnali di input vengono convertiti in ingressi optoisolati di tipo NPN o PNP, mentre i segnali di output vengono convertiti in uscite galvanicamente isolate a transistor o relé.

Per maggiori informazioni relative alle interfaccie per I/O digitali si vedano i numerosi prodotti descritti nel sito **grifo®** e la documentazione del software utilizzato.

SEGNALAZIONI VISIVE

La scheda **GPC® 550** é dotata delle segnalazioni visive descritte nella seguente tabella:

LED	COLORE	FUNZIONE
LD1	Rosso	Visualizza attivazione interrupt del Real Time Clock
LD2	Verde	LED di attività gestito via software
LD3	Rosso	LED di attività gestito via software
LD4	Verde	LED di attività gestito via software

FIGURA 29: TABELLA DELLE SEGNALAZIONI VISIVE

La funzione principale di questi LEDs é quella di fornire un'indicazione visiva dello stato della scheda, facilitando quindi le operazioni di debug e di verifica di funzionamento di tutto il sistema. Per una più facile individuazione di tali segnalazioni visive, si faccia riferimento alla figura 26, mentre per ulteriori informazioni sull'attivazione dei LED si faccia riferimento ai paragrafi "LED DI ATTIVITA'" e "REAL TIME CLOCK".

JUMPERS

Esistono a bordo della **GPC® 550** 17 jumpers a cavalliere, 1 jumper a stagno ed un dip switch, con cui é possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne é riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalità di connessione.

JUMPER	N.VIE	UTILIZZO
J1	2	Seleziona mappaggio memorie assieme a J2 e J12.
J2	2	Seleziona mappaggio memorie assieme a J1 e J12.
J3	3	Seleziona il dispositivo di memoria su IC18 assieme a J7.
J4	3	Collega circuiteria di terminazione a linea CAN.
J5	4	Seleziona sorgente d'interrupt per /INT0.
J6	3	Gestisce l'abilitazione hardware del watch dog.
J7	9	Seleziona il dispositivo di memoria su IC18 assieme a J3.
J10	2	Collega batteria di bordo BT1 a circuiteria di back up.
J11 , J13	2	Collegano la linea seriale A, bufferata in RS 232, al connettore CN4A.
J12	2	Seleziona mappaggio memorie via software, assieme a J1. e J2
J14 , J16	2	Collegano circuiteria di terminazione e forzatura alla linea seriale A in RS 422, RS 485.
J15	3	Seleziona il modo operativo e la direzione per la linea seriale A in RS 422, RS 485.
J17	3	Seleziona interfaccia elettrica per la linea seriale A.
J18	3	Seleziona il tipo di collegamento per il pin 1 di CN4B.
J19	3	Seleziona il tipo di collegamento per il pin 1 di CN4A.
JS1	2	Seleziona area codice da ROM esterna o interna al microcontrollore.
DSW1.7	2	Collega circuiteria di abilitazione RS 422, RS 485 a segnale gestito via software.

FIGURA 30: TABELLA RIASSUNTIVA JUMPERS

Di seguito é riportata una descrizione tabellare delle possibili connessioni dei jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda e per l'individuazione della loro posizione, si faccia riferimento alla figura 34 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione.
In tutte le seguenti tabelle l'***** indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

JUMPERS A 2 VIE

JUMPER	CONNESSIONE	UTILIZZO	DEF.
J1	non connesso connesso	Questo jumper é usato assieme a J2 e J12 per la selezione del mappaggio memorie. Per maggiori informazioni vedere paragrafo "MAPPAGGIO MEMORIE".	*
J2	non connesso connesso	Questo jumper é usato assieme a J1 e J12 per la selezione del mappaggio memorie. Per maggiori informazioni vedere paragrafo "MAPPAGGIO MEMORIE".	*
J10	non connesso connesso	Non collega batteria di bordo BT1 alla circuiteria di back up. Collega batteria di bordo BT1 alla circuiteria di back up.	*
J11 , J13	non connessi connessi	Non collegano la linea seriale A, bufferata in RS 232, ai relativi pin di CN4A. Collegano la linea seriale A, bufferata in RS 232, ai relativi pin di CN4A.	*
J12	non connesso connesso	Il mappaggio memorie é selezionato solo dai jumper J1 e J2. Collega segnale PWM0 alla circuiteria di mappaggio memorie in modo da consentire la selezione del mappaggio via software, assieme a J1 e J2. Per maggiori informazioni vedere paragrafo "MAPPAGGIO MEMORIE".	*
J14 , J16	non connessi connessi	Non collegano la circuiteria di terminazione e forzatura al ricevitore/trasmettitore RS 485 od al ricevitore RS 422, della linea seriale A. Collegano la circuiteria di terminazione e forzatura al ricevitore/trasmettitore RS 485 od al ricevitore RS 422, della linea seriale A.	*
JS1	non connesso connesso	Abilita lettura codice dalla ROM interna del microcontrollore. Abilita lettura codice dalla ROM esterna del microcontrollore = memorie della scheda.	*
DSW1.7	OFF ON	Non collega segnale PWM1, a circuiteria abilitazione RS 422, RS 485. Collega segnale PWM1, a circuiteria abilitazione RS 422, RS 485.	*

FIGURA 31: TABELLA JUMPERS A 2 VIE

JUMPERS A 3 VIE

JUMPER	CONNESSIONE	UTILIZZO	DEF.
J3	posizione 1-2	Seleziona memorie fino a 128K Bytes su IC18 (vedere paragrafo "SELEZIONE MEMORIE").	*
	posizione 2-3	Seleziona memorie superiori a 128K Bytes su IC18 (vedere paragrafo "SELEZIONE MEMORIE").	
J4	posizione 1-2	Collega la resistenza di terminazione da 120 Ω alla linea CAN.	
	posizione 2-3	Non collega la resistenza di terminazione da 120 Ω alla linea CAN.	*
J6	posizione 1-2	Disabilitazione hardware del watch dog.	*
	posizione 2-3	Abilitazione hardware del watch dog.	
J15	posizione 1-2	Configura la linea seriale A per lo standard elettrico RS 485 (half duplex a 2 fili).	
	posizione 2-3	Configura la linea seriale A per lo standard elettrico RS 422 (full duplex o half duplex a 4 fili).	*
J17	posizione 1-2	Configura la linea seriale A per gli standards elettrici RS 422, RS 485 e current loop.	
	posizione 2-3	Configura la linea seriale A per lo standard elettrico RS 232	*
J18	posizione 1-2	Collega pin 1 di CN4B a +5 Vdc.	
	posizione 2-3	Collega pin 1 di CN4B a GND.	*
J19	posizione 1-2	Collega pin 1 di CN4A a +5 Vdc.	
	posizione 2-3	Collega pin 1 di CN4A a GND.	*

FIGURA 32: TABELLA JUMPERS A 3 VIE

JUMPERS A 4 VIE

JUMPER	CONNESSIONE	UTILIZZO	DEF.
J5	non connesso	Non collega /INT0 ad alcuna sorgente d'interrupt.	
	posizione 1-2	Collega /INT0 ad interrupt generato dal Real Time Clock.	
	posizione 2-3	Collega /INT0 ad interrupt generato dal controllore CAN.	
	posizione 2-4	Collega /INT0 a linea di ricezione della seriale B software.	*

FIGURA 33: TABELLA JUMPERS A 4 VIE

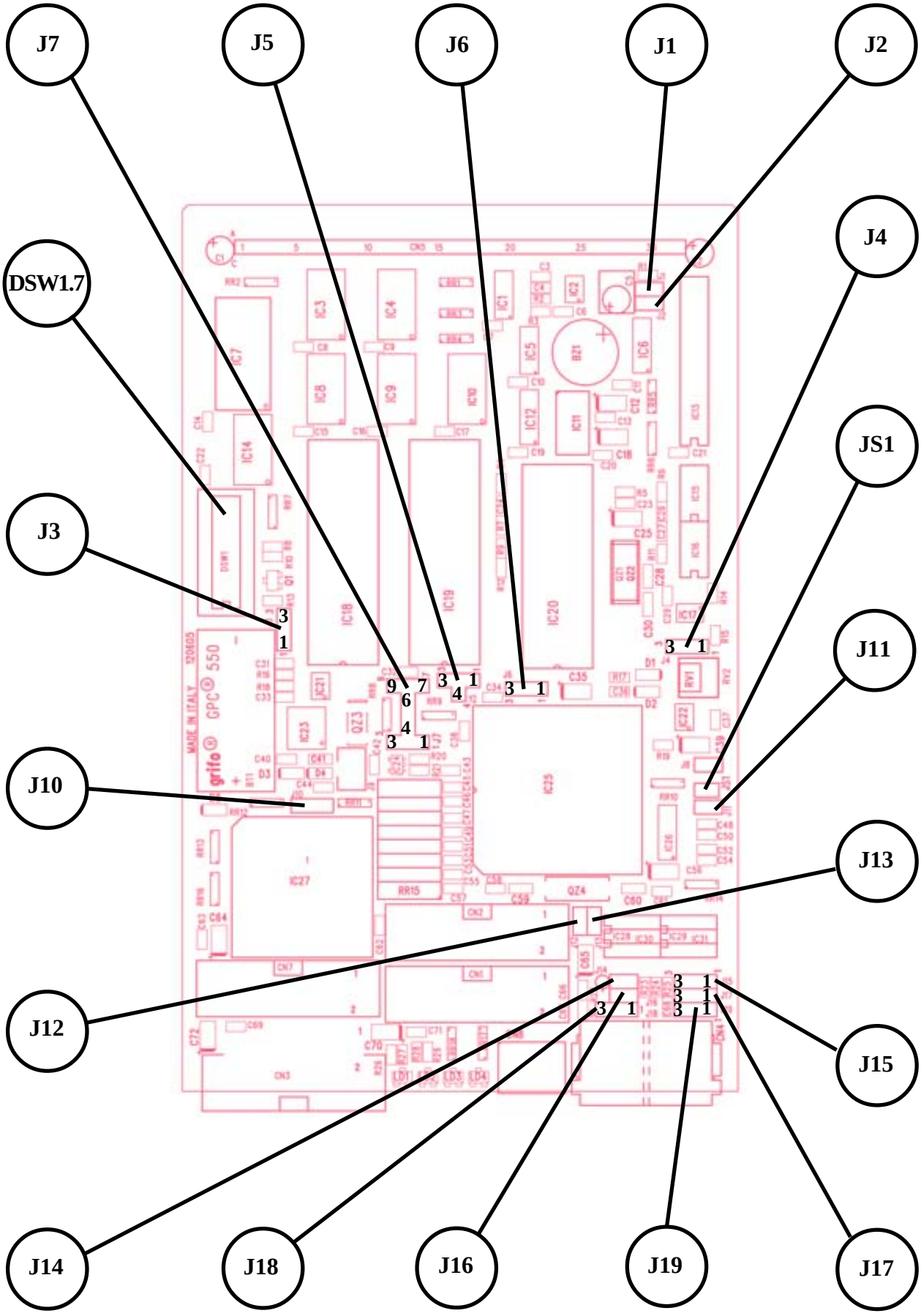


FIGURA 34: DISPOSIZIONE E NUMERAZIONE JUMPERS

JUMPERS A 9 VIE

JUMPER	CONNESSIONE	UTILIZZO	DEF.
J7	posizione x-x ; 4-5 ; x-x	Predispone IC18 per EPROM da 32K.	
	posizione 2-3 ; 4-5 ; x-x	Predispone IC18 per EPROM da 64K.	
	posizione 2-3 ; 4-5 ; NC	Predispone IC18 per EPROM da 128K e 256K.	
	posizione 2-3 ; 4-5 ; 8-9	Predispone IC18 per EPROM da 512K.	
	posizione 2-4 ; 5-6 ; x-x	Predispone IC18 per SRAM, EEPROM da 32K.	
	posizione 2-4 ; 5-6 ; 7-8	Predispone IC18 per SRAM, EEPROM da 128K e 512K.	
	posizione 1-2 ; 4-5 ; 6-8	Predispone IC18 per FLASH EEPROM da 32K.	
	posizione 2-3 ; 4-5 ; 6-8	Predispone IC18 per FLASH EPROM da 128K e 512K.	*

FIGURA 35: TABELLA JUMPERS A 9 VIE

JUMPERS A STAGNO

La connessione di default del jumper a stagno denominato **JS1**, é effettuata con una sottile pista sul lato componenti tra le due piazzole dello stesso jumper. Se tale configurazione deve essere variata, la prima volta si deve tagliare la pista con un taglierino affilato, mentre nelle successive variazioni si dovrà connettere o non connettere il jumper con uno stagnatore di bassa potenza, utilizzando dello stagno non corrosivo ed un adeguato flussante.

BACK UP

La **GPC® 550** é provvista di una batteria al litio BT1 che provvede a tamponare la SRAM ed il Real Time Clock di bordo anche in assenza della tensione di alimentazione. Il jumper J10 provvede a collegare o meno questa batteria in modo da salvaguardarne la durata prima dell'installazione o in tutti i casi in cui il back up non é necessario. Una seconda batteria esterna, con tensione superiore a quella di bordo, può essere collegata alla circuiteria di back up tramite il connettore CN9: quest'ultima non é interessata dalla configurazione del jumper J10 e sostituisce a tutti gli effetti la BT1.
Per quanto riguarda le caratteristiche della circuiteria di back up vedere il paragrafo "CARATTERISTICHE ELETTRICHE", mentre per una facile individuazione dei suoi componenti si veda la figura 26.
Si ricorda che é possibile ordinare una batteria esterna, al litio, di lunga durata e già dotata di un cavo di collegamento pronto per l'inserimento su CN9,.specificando il codice dell'accessorio **.LITIO**.

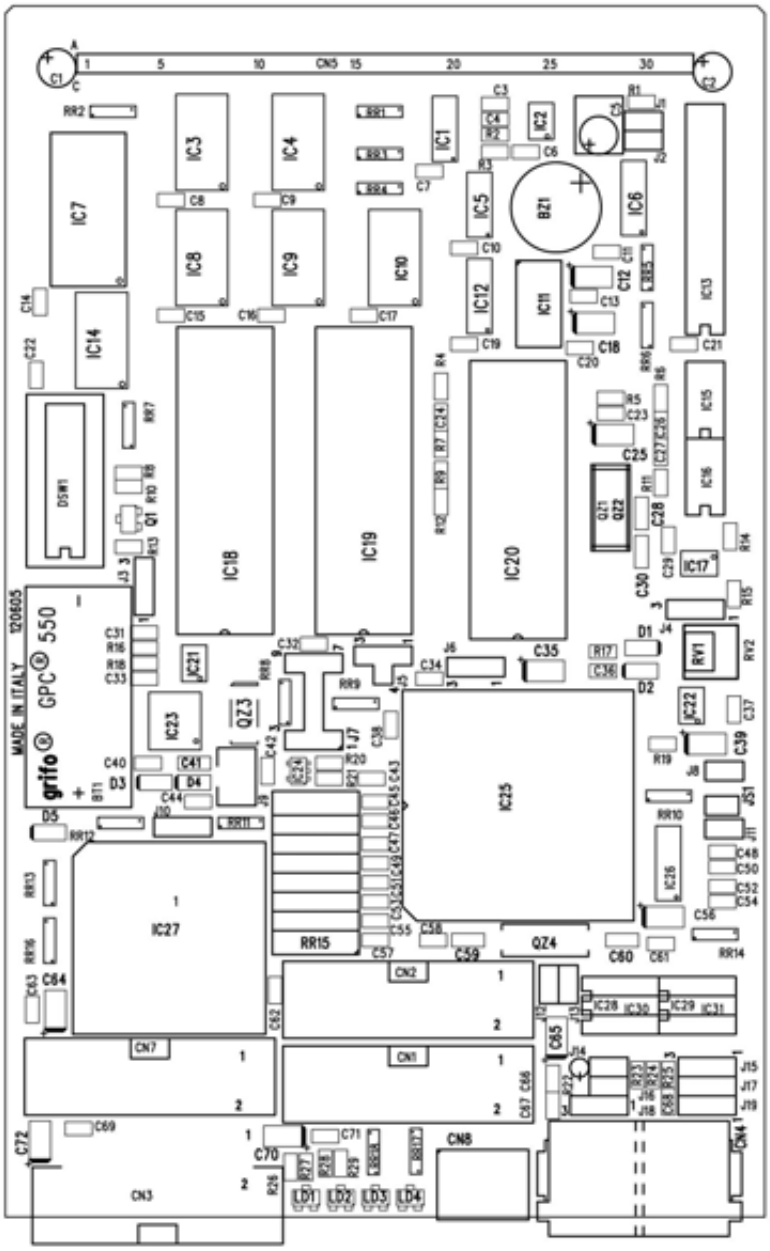


FIGURA 36: PIANTA COMPONENTI LATO COMPONENTI

INTERRUPTS

Una caratteristica peculiare della **GPC® 550** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupts e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento alla documentazione del microcontrollore.

- Real Time Clock -> Genera un /INT0 sulla CPU se J5 é in posizione 1-2.
- Controllore CAN -> Genera un /INT0 sulla CPU se J5 é in posizione 2-3.
- Seriale B software -> Genera un /INT0 sulla CPU se J5 é in posizione 2-4.
- Periferiche della CPU -> Generano un interrupt interno. In particolare tali possibili sorgenti d'interrupt interno sono le sezioni: I2C BUS hardware, ADC, Timer 0, Timer 1, Timer 2 e le sue modalità di comparazione e capture, UART.

Sulla scheda é presente un gestore d'interrupt (ICU) che consente di attivare, disattivare, mascherare le sorgenti d'interrupt e che regolamenta l'attivazione contemporanea di più interrupts. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.

ALIMENTAZIONE

La scheda **GPC® 550** deve essere alimentata da una tensione di +5 Vdc±5% che deve essere fornita sugli appositi pin di CN5. Il lay out della scheda é stato studiato in modo da prelevare la singola alimentazione da CN5 e distribuirla in tutti i punti necessari; questo spiega la direzionalità riportata nelle legende dei connettori in cui il segnale +5 Vdc é in ingresso solo su CN5 ed in uscita su tutti i rimanenti connettori. In caso di particolari esigenza l'utente può decidere di fornire l'alimentazione anche tramite gli altri connettori ma deve fare una preventiva verifica di corretto funzionamento. In dettaglio in caso di alimentazione fornita tramite i connettori plug CN4A o CN4B (ad esempio in sistemi distribuiti in cui più schede sono collegate in rete, tramite un solo cavo che porta sia i segnali di comunicazione che quelli di alimentazione), si devono configurare opportunamente i jumpers J18 e J19.
Un'efficace e distribuita circuiteria di filtro si preoccupa di proteggere la scheda dai disturbi o dal rumore del campo, in modo da migliorare il funzionamento di tutto il sistema.
Si ricorda che la tensione di alimentazione della logica di bordo (segnali +5 Vdc e GND) é galvanicamente isolata dalla tensione di alimentazione dell'interfaccia CAN. Quindi il segnale GND, presente sui connettori della scheda non deve essere collegato al segnale CAN GND presente su CN8.
La sezione di A/D converter utilizza la tensione di alimentazione della scheda opportunamente filtrata e distribuita. Per ragioni di schermatura e disposizione piste, la massa di tale sezione é stata chiamata AGND in modo da distinguerla da quella di alimentazione GND, anche se le due sono elettricamente connesse.
Al fine di ridurre i consumi della scheda si possono utilizzare le modalità operative di power down ed idle della CPU. Queste modalità consentono di definire la frequenza di lavoro della CPU e può essere selezionata programmando l'apposito registro PCON, interno al microcontrollore. Il programma applicativo sviluppato dall'utente può quindi ridurre il consumo sull'alimentazione fino ad un minimo di 180 mA ed eventualmente ripristinare il funzionamento normale in corrispondenza di un evento presatbilito come ad esempio un interrupt, variazione di un ingresso digitale e/o analogico, intervallo di tempo trascorso, ecc.
Per ulteriori informazioni si faccia riferimento al paragrafo "CARATTERISTICHE ELETTRICHE".

RESET, POWER GOOD, WATCH DOG

Sulla **GPC® 550**, sono presenti tre diverse sorgenti di reset, che possono essere così riassunte:

1) Circuiteria di power good che attiva il reset quando la tensione di alimentazione scende al di sotto della soglia di 4,65 Vdc.
2) Tasto di reset esterno, da collegare al pin 29 C di CN5 = segnale R.T. del BUS **ABACO®**; coincide con un pulsante normalmente aperto che, una volta premuto, collega il segnale R.T. alla massa GND. La sua funzione principale é quella di uscire da condizioni di loop infinito, soprattutto durante la fase di debug oppure per rieseguire il programma applicativo senza dover interrompere l'alimentazione della scheda.
3) Circuiteria di watch dog, interna al microcontrollore, molto efficiente e di facile gestione software. In dettaglio le caratteristiche di questa circuiteria sono le seguenti:
   - funzionamento astabile;
   - tempo d'intervento programmabile via software da 1,111 msec fino a 283,305 msec;
   - attivazione via hardware tramite il jumper J6;
   - retrigger via software.

   Nel funzionamento astabile una volta scaduto il tempo d'intervento, la circuiteria si attiva, rimane attiva per il tempo di reset e poi si disattiva nuovamente. Si ricorda che la funzione principale della circuiteria di watch dog é quella di conferire una sicurezza intrinseca per la corretta esecuzione del programma da parte della scheda. Infatti se il programma non é più eseguito regolarmente, non effettua il retrigger periodico della circuiteria e questa quindi interviene resettando la scheda, come di seguito descritto. Per maggiori informazioni sulla circuiteria di watch dog e sull'operazione di retrigger, fare riferimento alla documentazione del microcontrollore oppure all'appendice B di questo manuale.

A seconda di quale sorgente ha attivato la circuiteria di reset, la scheda agisce con le dovute modalità e tempistiche, come descritto nei seguenti punti:

Sorgente = power good e tasto di reset (1 e 2):
- la circuiteria di reset rimane attiva per 200 msec;
- tutte le sezioni della scheda vengono resettate per garantire una condizione di azzeramento generale;
- il segnale di /RESET, generato dalla scheda e collegato al pin 16 C del connettore CN5, viene attivato in modo da resettare anche le eventuali schede periferiche collegate al BUS **ABACO®**;
- al termine del tempo di reset la scheda riprende l'esecuzione del programma salvato su IC19 (EPROM) all'indirizzo 0000H della CPU.

Sorgente = watch dog (3):
- la circuiteria di reset rimane attiva per 2 μsec (sufficienti a resettare il solo micro);
- le sezioni della scheda non vengono resettate e mantengono quindi il loro precedente stato;
- il segnale di /RESET, generato dalla scheda e collegato al pin 16 C del connettore CN5, non viene attivato e le eventuali schede periferiche collegate al BUS **ABACO®** non vengono resettate;
- al termine del tempo di reset la scheda riprende l'esecuzione del programma salvato su IC19 (EPROM) all'indirizzo 0000H della CPU.

La circuiteria di reset così realizzata assicura il corretto funzionamento della scheda e dell'eventuale elettronica collegata, in ogni condizione operativa e soprattutto nella sempre difficile fase di accensione e spegnimento.

SELEZIONE COMUNICAZIONE SERIALE

La linea di comunicazione seriale B della scheda **GPC® 550** può essere bufferata solo in RS 232, mentre la linea seriale A può essere bufferata in RS 232, RS 422, RS 485 o current loop. Dal punto di vista software su entrambe le linee può essere definito il protocollo fisico di comunicazione grazie al firmware di gestione e tramite la programmazione di alcuni registri interni della CPU. In dettaglio possono essere programmate per lavorare con 8,9 bit per carattere; parità pari, dispari o nessuna; 1 o 2 bit di stop; con baud rate standard e non standard, fino a 115200 Baud.
La selezione del protocollo elettrico della seriale A avviene via hardware e viene effettuata tramite un'opportuna configurazione dei jumpers di bordo, come descritto nelle precedenti tabelle, e l'installazione di adeguati driver di comunicazione. Alcuni componenti necessari per le configurazioni RS 422, RS 485 e current loop non sono montati e collaudati sulla scheda in configurazione base; per questo la prima configurazione della seriale A non in RS 232 deve essere sempre effettuata dai tecnici **grifo®**. A questo punto l'utente può cambiare autonomamente la configurazione seguendo le informazioni sotto riportate:

- LINEA SERIALE HW A SETTATA IN RS 232 (configurazione default)

DSW1.7	=	indifferente		
J17	=	posizione 2-3	IC28	= nessun componente
J11, J13	=	connessi	IC29	= nessun componente
J15	=	indifferente	IC30	= nessun componente
J14, J16	=	non connessi	IC31	= nessun componente

- LINEA SERIALE HW A SETTATA IN CURRENT LOOP (opzione .CLOOP)

DSW1.7	=	indifferente		
J17	=	posizione 1-2	IC28	= driver HP 4200
J11, J13	=	non connessi	IC29	= driver HP 4100
J15	=	indifferente	IC30	= nessun componente
J14, J16	=	non connessi	IC31	= nessun componente

Da ricordare che l'interfaccia seriale in current loop é di tipo passivo e si deve quindi collegare una linea current loop attiva, ovvero provvista di un proprio alimentatore come descritto nelle figure 15÷17. L'interfaccia current loop può essere utilizzata per realizzare sia connessioni punto punto che reti multipunto con un collegamento a 4 o 2 fili.

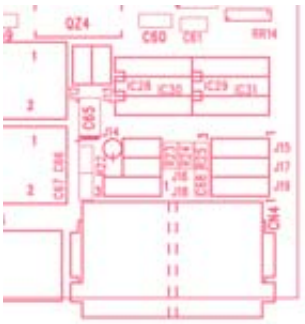
- LINEA SERIALE HW A SETTATA IN RS 422 (opzione .RS 422)

DSW1.7	=	OFF od ON		
J17	=	posizione 1-2	IC28	= nessun componente
J11, J13	=	non connessi	IC29	= nessun componente
J15	=	posizione 2-3	IC30	= driver SN 75176 o MAX 483
J14, J16	=	(*)	IC31	= driver SN 75176 o MAX 483

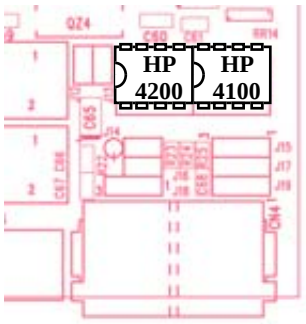
Lo stato del segnale PWM1=DIR (gestito via software) consente di abilitare o disabilitare il trasmettitore come segue:

PWM1 = DIR = livello basso= stato logico 0	->	trasmettitore attivo
PWM1 = DIR = livello alto = stato logico 1	->	trasmettitore disattivo

Per sistemi punto punto, la linea DIR può essere mantenuta sempre bassa (trasmettitore sempre attivo) anche lasciando il dip DSW1.7 in OFF, mentre per reti multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione; questo equivale a collegare il PMW1 al DIR settando DSW1.7 in ON. La comunicazione RS 422 é di tipo full duplex, a 4 fili.



Seriale A in RS 232



Seriale A in current loop

Seriale A in RS 422

Seriale A in RS 485

FIGURA 37: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE

- LINEA SERIALE HW A SETTATA IN RS 485 (opzione .RS 485)

DSW1.7	=	ON			
J17	=	posizione 1-2	IC28	=	nessun componente
J11, J13	=	non connessi	IC29	=	nessun componente
J15	=	posizione 1-2	IC30	=	driver SN 75176 o MAX 483
J14, J16	=	(*)	IC31	=	nessun componente

In questa modalità le linee da utilizzare sono i pin 4 e 5 di CN4A, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale PWM1=DIR (gestito via software) come segue:

PWM1 = DIR = livello basso= stato logico 0 -> linea in trasmissione
PWM1 = DIR = livello alto = stato logico 1 -> linea in ricezione

Questa comunicazione la si utilizza sia per connessioni punto punto che multipunto con una comunicazione half duplex, a 2 fili. Sempre in questa modalità si riceve quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

(*) Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers J14 e J16 é possibile connettere la circuiteria di terminazione e forzatura sulla linea . Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione.
In fase di reset o power on, il segnale PWM1=DIR è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.

Si ricorda che i segnali di comunicazione in RS 232 disponibili su CN4B possono essere usati come segnali di handshake hardware (RTS, CTS, DTR, RI, DSR, ecc) da abbinare ai segnali di comunicazione della seriale hardware A, su CN4A. Questa possibilità consente all'utente di utilizzare la **GPC® 550** anche per comunicare con sistemi esterni che richiedono segnali di hanshake, come modem, ponti radio, stampanti, ecc.
Per ulteriori informazioni relative alla comunicazione seriale fare riferimento agli esempi di collegamento delle figure 11÷17 ed al paragrafo "SERIALE SOFTWARE B".
Per facilitare la connessione delle linee seriali, indipendentemente dal loro protocollo elettrico si possono usare gli appositi cavi di comunicazione seriale denominati **CCR.Plugxxx**. Tra questi si trovano cavi per il collegamento diretto a PC, modem, stampanti seriali, pannelli operatore **QTP xxx**, ecc. L'elenco di questi cavi, completo delle relative caratteristiche, é disponibile nella descrizione degli accessori **grifo®** ed in caso di particolari esigenze, possono essere anche realizzati su specifiche del cliente.

SELEZIONE MEMORIE

La **GPC® 550** può montare fino ad un massimo di 769K e 256 bytes di memoria variamente suddivisa. Normalmente la **GPC® 550** é fornita nella sua configurazione base con 128K SRAM su IC7, 256 bytes di SRAM seriale su IC23 e 512 bytes di EEPROM seriale su IC21; ogni configurazione diversa può essere richiesta in fase di ordine oppure autonomamente montata dall'utente. In quest'ultimo caso la scheda deve essere settata come descritto nella seguente tabella:

NOME	DISPOSITIVO	DIMENSIONE	CONFIGURAZIONE JUMPER
IC19	EPROM	32K Bytes	-
	EPROM	64K Bytes	-
	EPROM (*)	128K Bytes	-
IC7	SRAM	128K Bytes	-
IC18	EPROM	32K Bytes	J7 in x-x ; 4-5 ; x-x e J3 in 1-2
	EPROM	64K Bytes	J7 in 2-3 ; 4-5 ; x-x e J3 in 1-2
	EPROM	128K Bytes	J7 in 2-3 ; 4-5 ; NC e J3 in 1-2
	EPROM	256K Bytes	J7 in 2-3 ; 4-5 ; NC e J3 in 2-3
	EPROM	512K Bytes	J7 in 2-3 ; 4-5 ; 8-9 e J3 in 2-3
	SRAM , EEPROM	32K Bytes	J7 in 2-4 ; 5-6 ; x-x e J3 in 1-2
	SRAM , EEPROM	128K Bytes	J7 in 2-4 ; 5-6 ; 7-8 e J3 in 1-2
	SRAM , EEPROM	512K Bytes	J7 in 2-4 ; 5-6 ; 7-8 e J3 in 2-3
	FLASH EPROM	32K Bytes	J7 in 1-2 ; 4-5 ; 6-8 e J3 in 1-2
	FLASH EPROM	128K Bytes	J7 in 2-3 ; 4-5 ; 6-8 e J3 in 1-2
	FLASH EPROM	512K Bytes	J7 in 2-3 ; 4-5 ; 6-8 e J3 in 2-3
IC23	SRAM+RTC seriale	256 Bytes	-
IC21	EEPROM seriale	256÷1024 Bytes	-

FIGURA 38: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi sopra descritti devono essere con pin out di tipo JEDEC a parte i dispositivi seriali di IC21 ed IC23. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione delle case costruttrici.
In caso di ordine alla **grifo®**, sotto sono riportati i codici delle opzioni di memoria disponibili:

.32K	->	32K Bytes di SRAM aggiuntivi su IC18
.128K	->	128K Bytes di SRAM aggiuntivi su IC18
.512K	->	512K Bytes di SRAM aggiuntivi su IC18
.32KMOD	->	32K Bytes di SRAM tamponata su IC18
.128KMOD	->	128K Bytes di SRAM tamponata su IC18
.32EE	->	32K Bytes di EEPROM parallela su IC18
.32KF	->	32K Bytes di FLASH EPROM parallela su IC18
.128KF	->	128K Bytes di FLASH EPROM parallela su IC18
.512KF	->	512K Bytes di FLASH EPROM parallela su IC18
.EE02	->	2K Bit (=256 Bytes) di EEPROM seriale su IC21
.EE08	->	8K Bit (= 1K Bytes) di EEPROM seriale su IC21

(*****) In caso di necessità sullo zoccolo IC19 può essere montata anche una FLASH EPROM da 128K Bytes, che però viene gestita solo in lettura. Tale configurazione può comunque risultare comoda

soprattutto durante la fase di sviluppo e messa a punto di programmi molto lunghi, infatti evita all'utente di usare una EPROM con il suo lungo tempo di cancellazione.
Per ulteriori informazioni e costi delle opzioni, contattare direttamente la **grifo®**, mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 26.

COLLEGAMENTO LINEA CAN

Il jumper J4 ha il compito di collegare o meno l'apposita resistenza di terminazione della linea CAN come descritto nella tabella di figura 32. Il CAN BUS deve fisicamente coincidere con una linea differenziale con impedenza di 60 Ω e per questo le resistenze di terminazione devono essere collegate in modo da ricreare questa impedenza. In particolare tale collegamento deve essere sempre effettuato in caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione CAN (vedere esempio di figura 25).
La corretta terminazione della linea CAN contribuisce notevolmente al funzionamento della comunicazione, infatti l'interfaccia di linea della **GPC® 550** é in grado di sopprimere i transienti e di essere immune ai disturbi di radio frequenza ed elettromagnetici, solo se il collegamento con il campo é effettuato correttamente.
Come descritto nel paragrafo "ALIMENTAZIONE" la linea CAN é galvanicamente isolata dalla tensione di alimentazione della scheda e la sua massa, denominata CAN GND, é riportata su un pin del connettore CN8. Quest'ultimo può essere utilizzato per equipotenziare i vari sistemi CAN ma anche per proteggere il collegamento fisico, qualora si utilizzi del cavo schermato per la linea CAN, ottenendo la massima protezione contro i disturbi esterni.

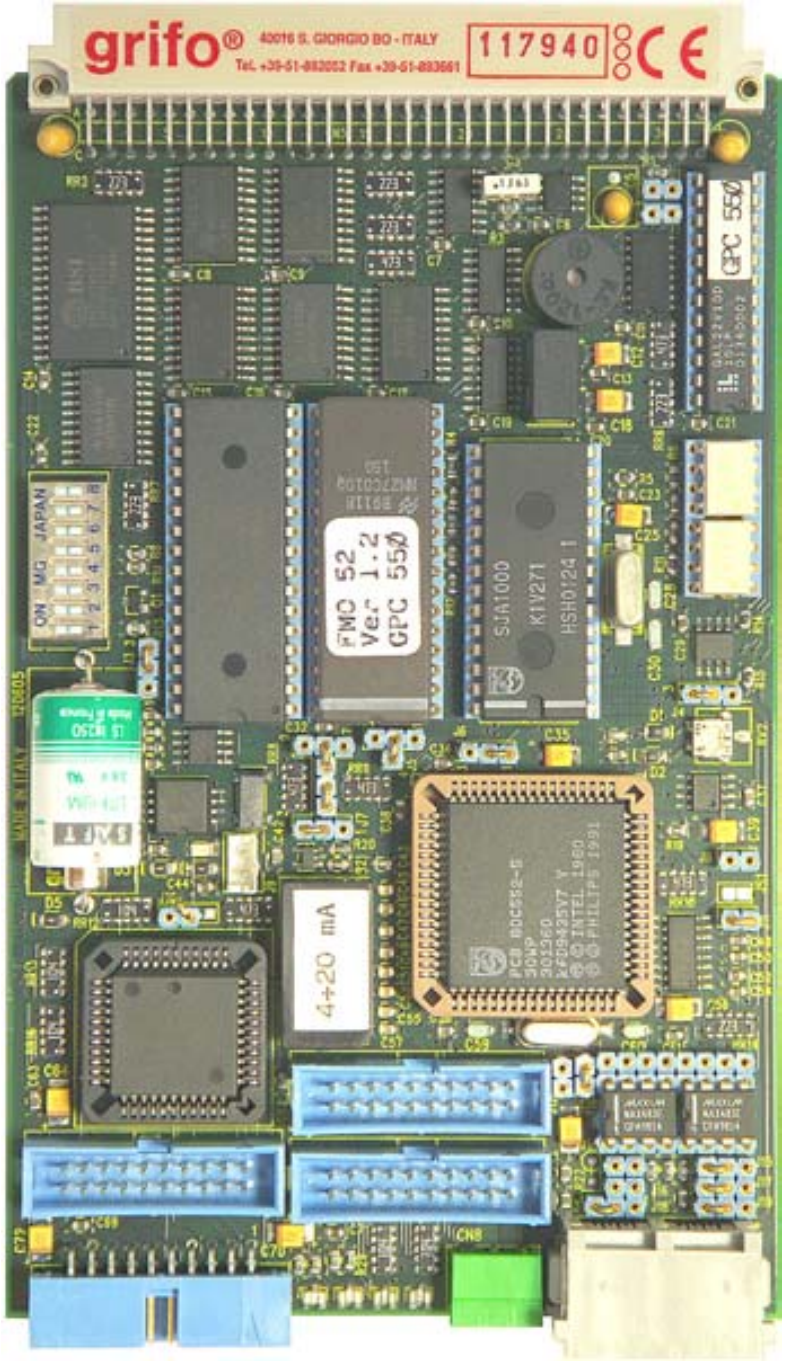


FIGURA 39: FOTO SCHEDA

DESCRIZIONE SOFTWARE

La scheda ha usufruisce di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche e di sviluppare le applicazioni necessarie in un tempo veramente corto. In generale la scheda può sfruttare tutte le risorse software per il microcontrollore montato, ovvero i numerosi pacchetti ideati per la famiglia 51, sia ad alto che a basso livello. Tutti i pacchetti di sviluppo software forniti dalla **grifo®** sono sempre accompagnati da esempi che illustrano come gestire ogni sezione della scheda e da una completa documentazione d'uso. Tra questi ricordiamo:

GET51: Completo programma di Editor , Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 51. Questo programma, sviluppato dalla **grifo®**, consente di operare in condizioni ottimali, in abbinamento ai pacchetti software BASIC 550, MDP, BXC51, FMO53, ecc. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS e Windows, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma VIRTUAL-PC. Viene fornito su CD.

MDP: monitor debugger in grado di caricare e debuggare un qualsiasi file HEX con codice 'I51. Dispone di tutti i comandi normalmente disponibili con un'emulatore hw e fornisce quindi all'utente la possibilità di operare comodamente con tutte le risorse di bordo. Per questo pacchetto software é sufficiente disporre di un PC che effettua le sole operazioni di console nei confronti dell'utente.

FORTH: completa struttura di sviluppo che consente di programmare la scheda in FORTH. Richiede un PC per l'interfaccia utente e rende disponibili strutture dati e di programmazione ad alto livello, che velocizzano lo sviluppo dell'applicativo con ottime caratteristiche in termini di codice sviluppato e velocità di esecuzione.

BASIC 550: completa struttura di sviluppo che consente di programmare la scheda con un BASIC interpretato adatto alle applicazioni industriali. Per opearare é sufficiente un PC che svolge le funzioni di consolle nei confronti della scheda su cui viene invece sviluppato, debuggato, provato e salvato il programma da realizzare. La programmazione é ad alto livello ed interessa la maggioranza dei dispositivi a bordo scheda, di cui vengono già forniti i driver software di facile utilizzo.

BXC51: Cross compilatore per files sorgenti scritti in BASIC 550. Disponibile in ambiente MS-DOS, permette un notevole incremento in termini di velocità di esecuzione rispetto all'equivalente programma in BASIC 550 interpretato.

HI TECH C 51: Cross compilatore per file sorgenti scritti in linguaggio C. E' un potente pacchetto software che tramite un comodo IDE permette di utilizzare un editor, un compilatore C (floating point), un assemblatore, un ottimizzatore, un linker e un remote debugger. Sono inoltre inclusi i source delle librerie.

SYS51CW: Cross compilatore per programmi scritti in C, disponibile in ambiente WINDOWS con un comodo IDE che mette a disposizione: editor, compilatore C, assemblatore, ottimizzatore, linker, librerie ed un debugger simbolico remoto.

SYS51PW: Cross compilatore per programmi scritti in PASCAL, disponibile in ambiente WINDOWS con un comodo IDE che mette a disposizione: editor, compilatore PASCAL, assemblatore, ottimizzatore, linker, librerie ed un debugger simbolico remoto.

XPAS51: Cross compilatore per files sorgenti scritti in PASCAL,disponibile in ambiente MS-DOS.

DDS MICRO C 51: E' un comodo pacchetto software, a basso costo, che tramite un completo IDE permette di utilizzare un editor, un compilatore C (integer), un assemblatore, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie ed una serie di utility.

NOICE51: Potente struttura di debugger composta da un monitor debugger residente sulla scheda e da un apposito programma Windows. I due programmi comunicano tramite una linea seriale in RS 232. Il NOICE51 include: debug a livello sorgente, disassemblatore, visualizzatore di file, editor e visualizzazione della memoria, numero di breakpoint illimitato, esecuzione di singole istruzioni indipendente dall'hardware, definizione di simboli, possibilità di eseguire file di comandi, gestione del back trace, help in linea, ecc.

BASCOM 8051: Cross compilatore a basso costo per files sorgenti scritti in BASIC, disponibile in ambiente WINDOWS con un comodo IDE che mette a disposizione un editor, il compilatore ed un simulatore molto potente per il debugger del sorgente. Comprende molti modelli di memoria, svariati tipi di dati e numerose istruzioni dedicate alle tipiche risorse hardware usate nell'automazione industriale.

FMO53: monitor debugger in grado di caricare e debuggare un qualsiasi file HEX con codice 'I51. Dispone di tutti i comandi normalmente disponibili con un'emulatore hardware e fornisce quindi all'utente la possibilità di operare comodamente con tutte le risorse di bordo. Per questo pacchetto software é sufficiente disporre di un PC che effettua le sole operazioni di console nei confronti dell'utente. L'FMO53 può essere usato in abbinamento a molti degli altri cross compilatori in cui può essere facilmente integrato.
E' inoltre in grado di programmare su FLASH EPROM l'applicativo sviluppato dall'utente e sucessivamente eseguirlo in modalità di autorun.

µC/51: E' un comodo pacchetto software, a basso costo, che tramite un completo IDE permette di utilizzare un editor, un compilatore ANSI C, un assemblatore, un linker e un remote debugger configurabile da utente, a livello sorgente. Sono inclusi i sorgenti delle librerie fondamentali e del remote debugger, alcuni esempi di utilizzo e vari programmi di utility.

LADDER WORK: E' un semplice sistema per creare programmi di automazione con la conosciuta e diffusa logica a contatti. Include un editor grafico che consente di posizionare e collegare i componenti hardware della scheda (input, output, contatori, A/D, ecc) come su uno schema elettrico e di defirne le proprietà, un efficiente compilatore che converte lo schema in codice eseguibile ed utility per il download di tale codice verso la scheda. Il tutto integrato in un comodo IDE per Windows. Viene fornito sotto forma di CD che comprende esempi e manuale d'uso e relativa chiave di abilitazione.

MAPPAGGI ED INDIRIZZAMENTI

In questo capitolo ci occuperemo di fornire tutte le informazioni sulle caratteristiche hardware della scheda relative al mappaggio delle memorie, delle periferiche, dei registri, ecc. necessarie per la gestione software delle sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda é affidata ad una logica di controllo completamente realizzata con logiche programmabili. Essa si occupa del mappaggio delle memorie e di tutte le periferiche di bordo, semplificando l'operatività dell'utente.
La logica di controllo é realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente il microcontrollore 80C552 indirizza direttamente 256 Bytes di RAM interna, 64K di area codice esterna e 64K di area dati esterna; quindi alla logica di controllo, ed alla circuiteria di MMU, è assegnato il compito di allocare i dispositivi di memoria installabili nello spazio logico del micro descritto.
Questa gestione è effettuata via hardware tramite lo strippaggio di alcuni jumpers (J1, J2, J12) e via software tramite il settaggio della MMU: in questo modo si può definire quali memorie utilizzare ed il range di indirizzamento per ciascuna di esse. Per quanto riguarda il mappaggio dell'I/O si deve invece ricordare che la logica di controllo provvede naturalmente a non utilizzare le locazioni riservate per le periferiche interne della CPU, in modo da evitare ogni problema di conflittualità.
Riassumendo i dispositivi mappati sulla scheda sono essenzialmente:

- fino a 128K Bytes di EPROM su IC19
- 128K Bytes di SRAM su IC7
- fino a 512K Bytes di SRAM, EEPROM, FLASH, EPROM su IC18
- BUS **ABACO®**
- Dip switch di configurazione DSW1
- LEDs di attività
- Buzzer
- Unità di gestione memorie MMU
- Controllore di I/O digitale PPI 82C55
- Controllore CAN

Questi occupano gli indirizzi riportati nei paragrafi seguenti e non possono essere riallocati in nessun altro indirizzo.
Infine alcune periferiche sono sempre gestite dalla logica di controllo, ma effettivamente non occupano spazio d'indirizzamento in quanto sono comandate direttamente da linee dei PORT della CPU, mantenendo sempre una completa e semplice gestione software.

MAPPAGGIO BUS ABACO®

La logica di controllo della **GPC® 550** provvede anche alla gestione del BUS **ABACO®**, definendo gli indirizzi in cui tale BUS viene allocato; come si può notare dalla sucessiva figura 40, tale BUS è indirizzato in corrispondenza degli indirizzi BUS per una estensione di 112 bytes. Un accesso in un qualsiasi indirizzo compreso in questo range abilita il segnale /IORQ e tutti gli altri segnali di controllo di CN5. Nella fase di mappaggio di eventuali schede periferiche collegate alla scheda, solo il byte meno significativo dell'indirizzo di I/O é significativo in quanto il BUS **ABACO®** prevede solo 8 bit d'indirizzamento ed 8 bit di dati.

MAPPAGGIO PERIFERICHE

Per alcune delle periferiche presenti a bordo scheda si sono utilizzati gli ultimi 256 indirizzi dei 64K Bytes dell'area dati e/o codice gestita dalla CPU. Per maggior chiarezza nella seguente tabella si riportano i nomi dei registri, i loro indirizzi, i tipi di accesso ed una breve descrizione del loro significato:

DISPOSITIVO	REGISTRO	INDIRIZZO	R/W	SIGNIFICATO
CAN controller SJA 1000	CAN	FF00H÷FF7FH	R/W	Registri per la gestione dell'UART CAN SJA 1000, in modalità BasicCAN o PeliCAN (i registri sono gli stessi riportati nel data sheet del componente, con un offset FF00H).
ABACO® BUS	BUS	FF80H÷FFEFH	R/W	Indirizzi gestione **ABACO®** BUS.
Memory Management Unit	MEM	FF00H	W	Registro gestione memorie impaginate.
LED attività	LED	FFF1H	W	Registro gestione LEDs attività LD1, LD2, LD3.
BUZZER	BUZ	FFF1H	W	Registro gestione buzzer BZ1.
DIP SWITCH	DIP	FFF3H	R	Registro di acquisizione dip switch DSW1.
PPI 82C55	PA	FFF4H	R/W	Registro dati del port A
	PB	FFF5H	R/W	Registro dati del port B
	PC	FFF6H	R/W	Registro dati del port C
	RC	FFF7H	R/W	Registro di controllo e comando

FIGURA 40: TABELLA INDIRIZZAMENTO PERIFERICHE

Per quanto riguarda la descrizione dettagliata dei registri sopra riportati, si faccia riferimento al capitolo sucessivo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".
Si ricorda che la figura 40 riporta la descrizione dei soli registri delle periferiche esterne al microcontrollore e che per la descrizione di quelli interni si può fare riferimento all'apposita documentazione della casa costruttrice.

MAPPAGGIO MEMORIE

Per quanto riguarda il mappaggio delle memorie, la scheda può essere configurata in 4 modi.
Di seguito viene riportata una schematizzazione di questi indirizzamenti, con le indicazioni di come devono essere configurati i jumper ed i segnali che svolgono questa selezione. La scelta del mappaggio deve essere effettuata dall'utente in base al pacchetto software utilizzato e/o le richieste dell'applicazione.
Da notare che le sucessive figure riportano la distinzione tra area codice ed area dati che coincide rispettivamente con i due tipi di accesso alla memoria esterna previsti dal micro (MOVC e MOVX).

MAPPAGGIO 0

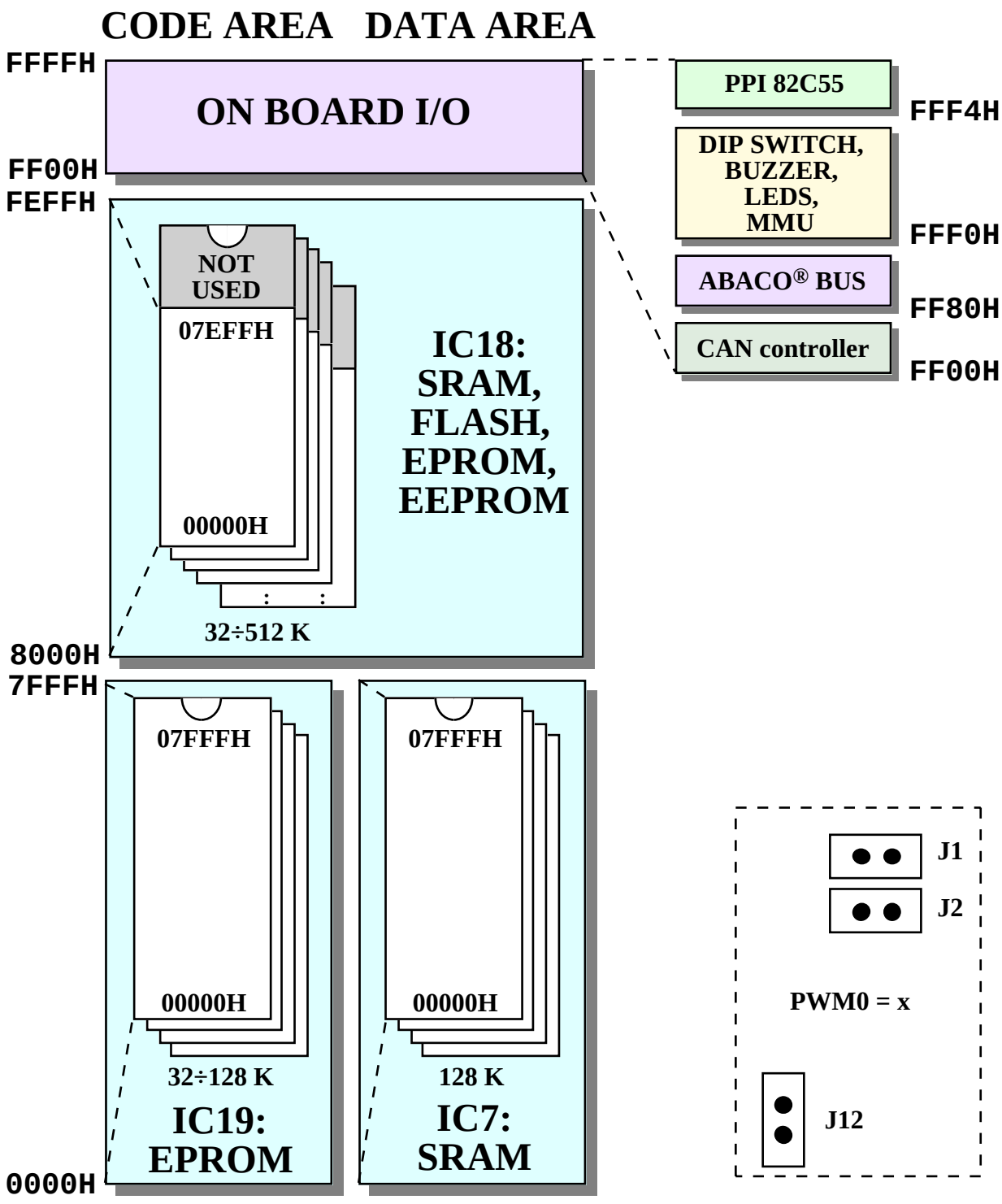


FIGURA 41: MAPPAGGIO DELLE MEMORIE IN MODO 0

Usato dai pacchetti software: BASIC 550; BXC51; HI TECH C 51; DDS MICRO C 51; SYS51PW; SYS51CW; BASCOM 8051; µC/51; ecc.

MAPPAGGIO 1

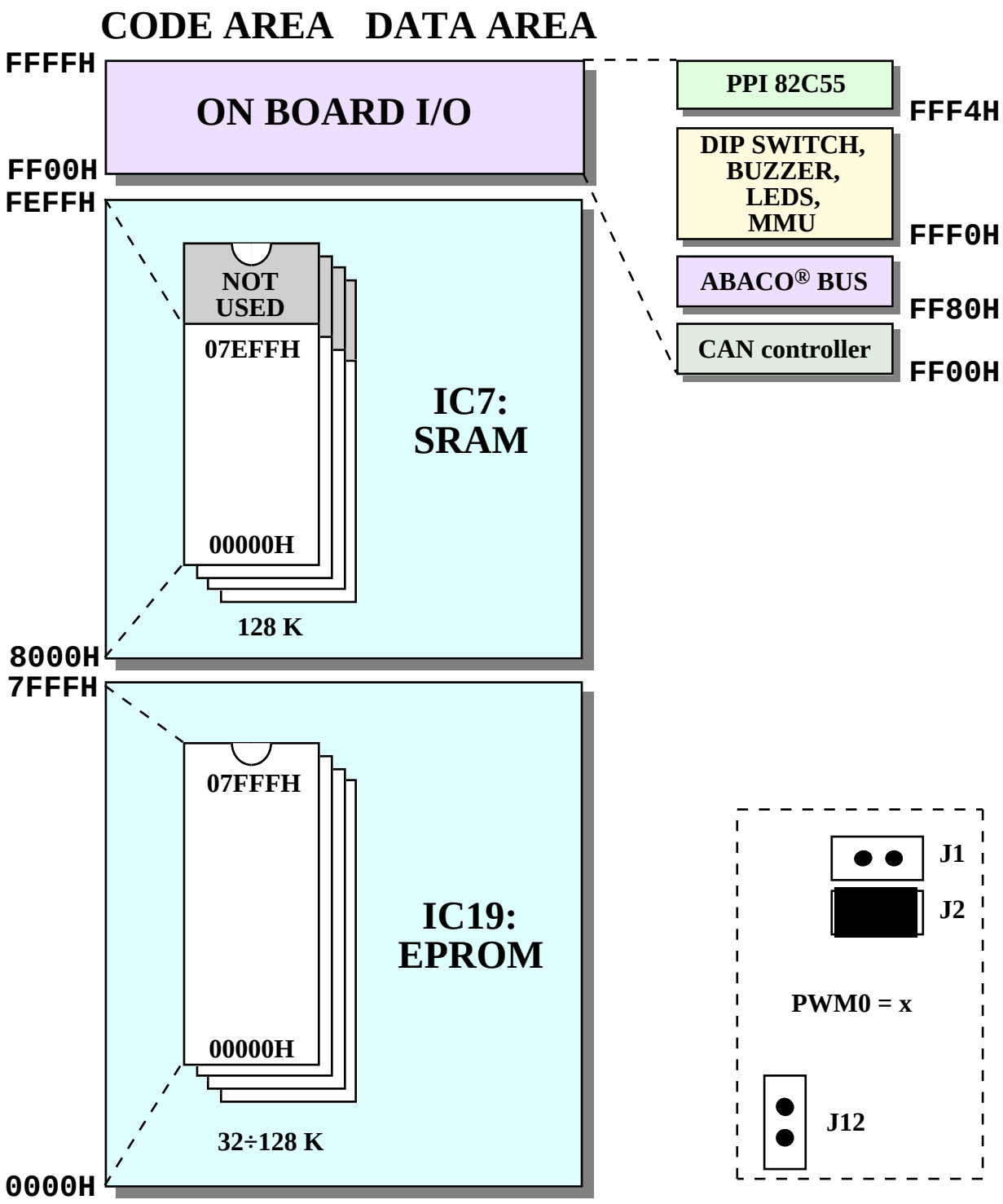


FIGURA 42: MAPPAGGIO DELLE MEMORIE IN MODO 1

Usato dai pacchetti software: HI TECH C 51; DDS MICRO C 51; SYS51PW; SYS51CW; BASCOM 8051; µC/51; ecc.

MAPPAGGIO 2

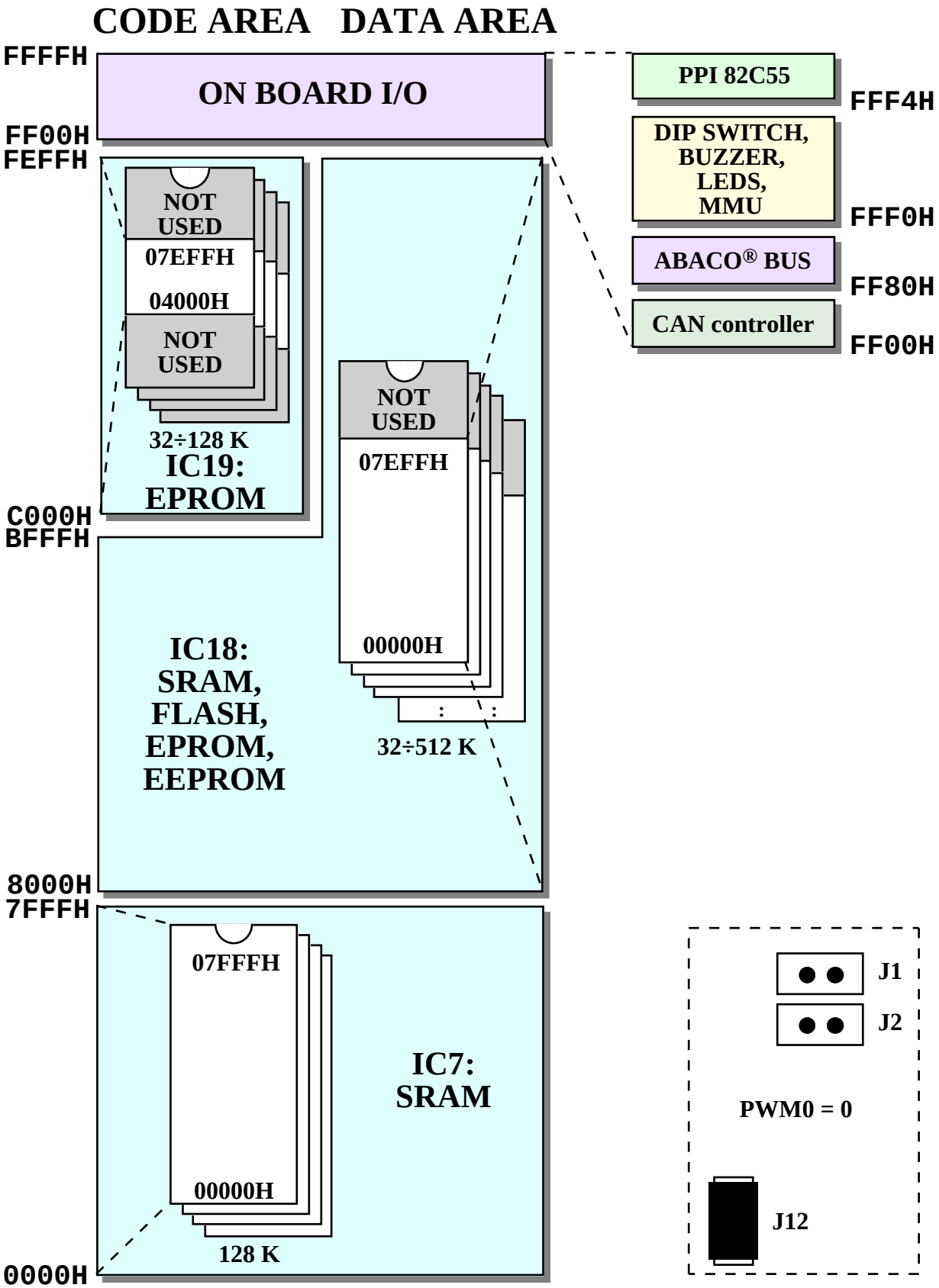


FIGURA 43: MAPPAGGIO DELLE MEMORIE IN MODO 3

Usato dai pacchetti software: NOICE51.

MAPPAGGIO 3

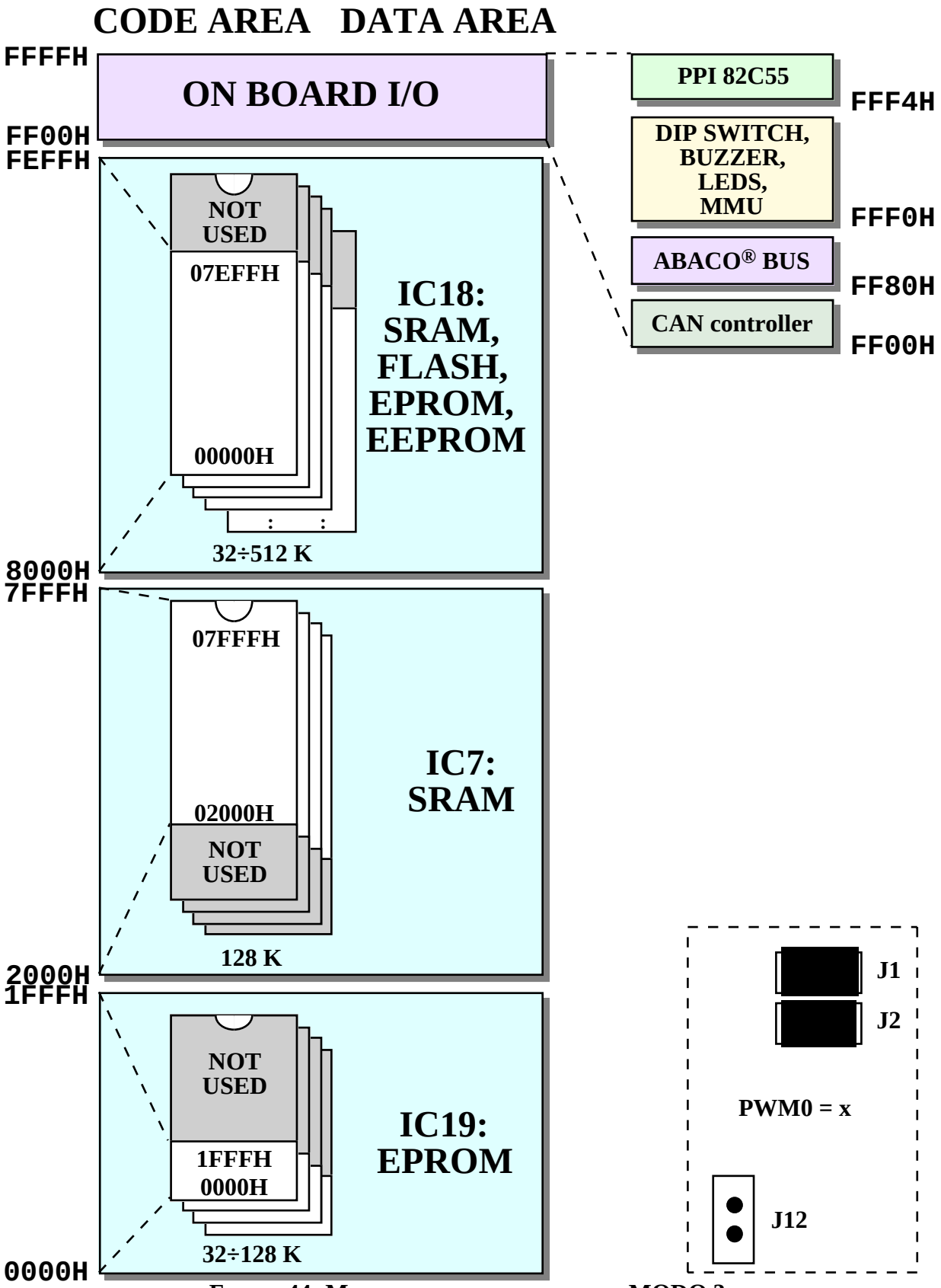


FIGURA 44: MAPPAGGIO DELLE MEMORIE IN MODO 3

Usato dai pacchetti software: MD/P; FMO53; LUCIFER per HI TECH C 51; DDS MICRO C 51; SYS51PW; SYS51CW; BASCOM 8051; µC/51; ecc.

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri e o linee (al fine di comprendere le successive informazioni, fare sempre riferimento alla tabella di figura 40). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microcontrollore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento ai relativi manuali. Nei paragrafi successivi si usano le indicazioni **D0÷D7** e **.0÷7** per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O.

I2C BUS SOFTWARE

La linea I2C BUS software presente sulla **GPC® 550** é realizzata tramite due linee di I/O bidirezionali della CPU:

P3.3	->	linea **DATA**	**= SW SDA**
P3.5	->	linea **CLOCK**	**= SW SCL**

che possono essere facilmente gestite dal software dell'utente per realizzare le sequenze e le tempistiche definite da questo standard. Più facilmente l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione che con il passaggio di alcuni parametri si preoccupano del completo funzionamento. Sulla linea I2C BUS software sono già presenti due dispositivi che, come descritto nei paragrafi "SRAM+RTC SERIALE" ed "EEPROM SERIALE", occupano gli slave address A0H ed A8H.

LEDS DI ATTIVITA'

La logica di controllo consente la gestione software di tre LED di attività, tramite altrettanti bit del registro LED con le seguenti corrispondenze:

LED.7 = 0	->	**LD4 disattivo**
LED.7 = 1	->	**LD4 attivo**
LED.6 = 0	->	**LD2 disattivo**
LED.6 = 1	->	**LD2 attivo**
LED.5 = 0	->	**LD3 disattivo**
LED.5 = 1	->	**LD3 attivo**

Il registro LED condivide l'indirizzo di altre periferiche di bordo, quindi ogni operazione di scrittura su tale registro deve tener conto della programmazione di questi altri dispositivi.
Il registro LED è completamente azzerato in fase di reset o power on, di conseguenza in seguito ad una di queste fasi, tutti i LED sono disattivi.

BUZZER

Il buzzer BZ1 é gestito via software tramite il bit D0 del registro BUZ, con la seguente corrispondenza:

BUZ.0 = 0 -> **BZ1 disattivo**
BUZ.0 = 1 -> **BZ1 attivo**

La funzione principale del buzzer é quella di segnalare acusticamente delle condizioni di stato previste dal programma applicativo in modo da attirare l'attenzione dell'utilizzatore (ad esempio allarmi, configurazioni anomale, ecc).
Il registro BUZ condivide l'indirizzo di altre periferiche di bordo, quindi ogni operazione di scrittura su tale registro deve tener conto della programmazione di questi altri dispositivi.
Il registro BUZ è completamente azzerato in fase di reset o power on, di conseguenza in seguito ad una di queste fasi il buzzer è disattivo.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale (IC21), si faccia riferimento alla documentazione specifica del componente od ai programmi dimostrativi forniti con la scheda. L'utente deve realizzare una comunicazione sincrona con il protocollo standard I2C BUS, tramite alcune linee di I/O della sezione PORT della CPU. Le uniche informazioni necessarie sono i collegamenti elettrici:

P3.3 (input/output) -> linea **DATA** **= SW SDA**
P3.5 (output) -> linea **CLOCK** **= SW SCL**

La circuiteria di gestione del modulo di EEPROM seriale, collega inoltre i segnali **A0**,**A1**,**A2** del dispositivo rispettivamente a **0, 0, 1** logico, ottenendo uno slave address pari ad **A8H** . Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale. Si ricorda che i primi 32 bytes (0÷31) del dispositivo sono riservati e perciò si deve evitare la modifica dei medesimi.
Per ulteriori informazioni sulle modalità di gestione dei segnali della sezione PORT fare riferimento all'apposita documentazione tecnica del microcontrollore.
A seguito di un reset o power on le due linee di gestione dell'EEPROM seriale sono settate entrambe in input ed ad un livello logico alto.

PERIFERICHE DELLA CPU

La descrizione dei registri e del relativo significato di tutte le periferiche interne della CPU (ADC, TMR CNT, ICU, UART, I2C BUS HW, ecc) é disponibile nell'apposita documentazione tecnica della casa costruttrice. Fare riferimento alla "BIBLIOGRAFIA" ed all'appendice B di questo manuale per una più facile individuazione di questa documentazione.

INGRESSI DI CONFIGURAZIONE

La **GPC® 550** dispone di 7 ingressi di configurazione settabili dall'utente ed acquisibili via software, con le modalità di seguito riportate. Le possibili applicazioni di questi ingressi possono essere quelle destinate al settaggio di alcune condizioni di lavoro, alla selezione di parametri relativi al firmware di bordo, selezione della lingua, ecc.
Il dip switch DSW1 può essere acquisito effettuando una semplice operazione di lettura all'indirizzo di allocazione del registro DIP. La corrispondenza tra i bit del registro e le linee del dip switch è la seguente:

DIP.7	->	**dip switch DSW1.8**
DIP.6	->	**0**
DIP.5	->	**dip switch DSW1.6**
DIP.4	->	**dip switch DSW1.5**
DIP.3	->	**dip switch DSW1.4**
DIP.2	->	**dip switch DSW1.3**
DIP.1	->	**dip switch DSW1.2**
DIP.0	->	**dip switch DSW1.1**

La combinazione è in logica negata, ovvero il dip in **ON** fornisce lo stato logico **0** al corrispondente bit, mentre il dip in **OFF** fornisce lo stato logico **1**.
Il dip switch 8 di DSW1 svolge la funzione di selettore delle modalità RUN (ON) o DEBUG (OFF), caratteristica di alcuni pacchetti software della **grifo®**, mentre lo switch 7 seleziona il funzionamento della linea seriale in RS 422, RS 485 come descritto negli omonimi paragrafi.
Per una facile individuazione del dip switch DSW1 sulla scheda, si vedano le figure 26, 36.

SRAM TAMPONATA + RTC SERIALE

La **GPC® 550** dispone di un completo Real Time Clock in grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. Il componente é alimentato dalla circuiteria di back up in modo da garantire la validità dei dati in ogni condizione operativa ed é completamente gestito via software. La sezione di RTC può inoltre generare interrupt in corrispondenza di intervalli di tempo programmabili sempre via software, in modo da poter periodicamente distogliere la CPU dalle normali operazioni oppure periodicamente risvegliarla dagli stati di basso consumo.
Per quanto riguarda la gestione specifica del modulo di SRAM+RTC seriale (IC23), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. In dettaglio si deve realizzare una comunicazione sincrona con il protocollo standard I2C BUS, tramite alcune linee di I/O della CPU:

P3.3 (input/output)	->	linea **DATA**	**= SW SDA**
P3.5 (output)	->	linea **CLOCK**	**= SW SCL**

La circuiteria di gestione del modulo di SRAM+RTC collega inoltre il segnale A0 del dispositivo a **0** logico, ottenendo uno slave address pari ad **A0H**. Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale.

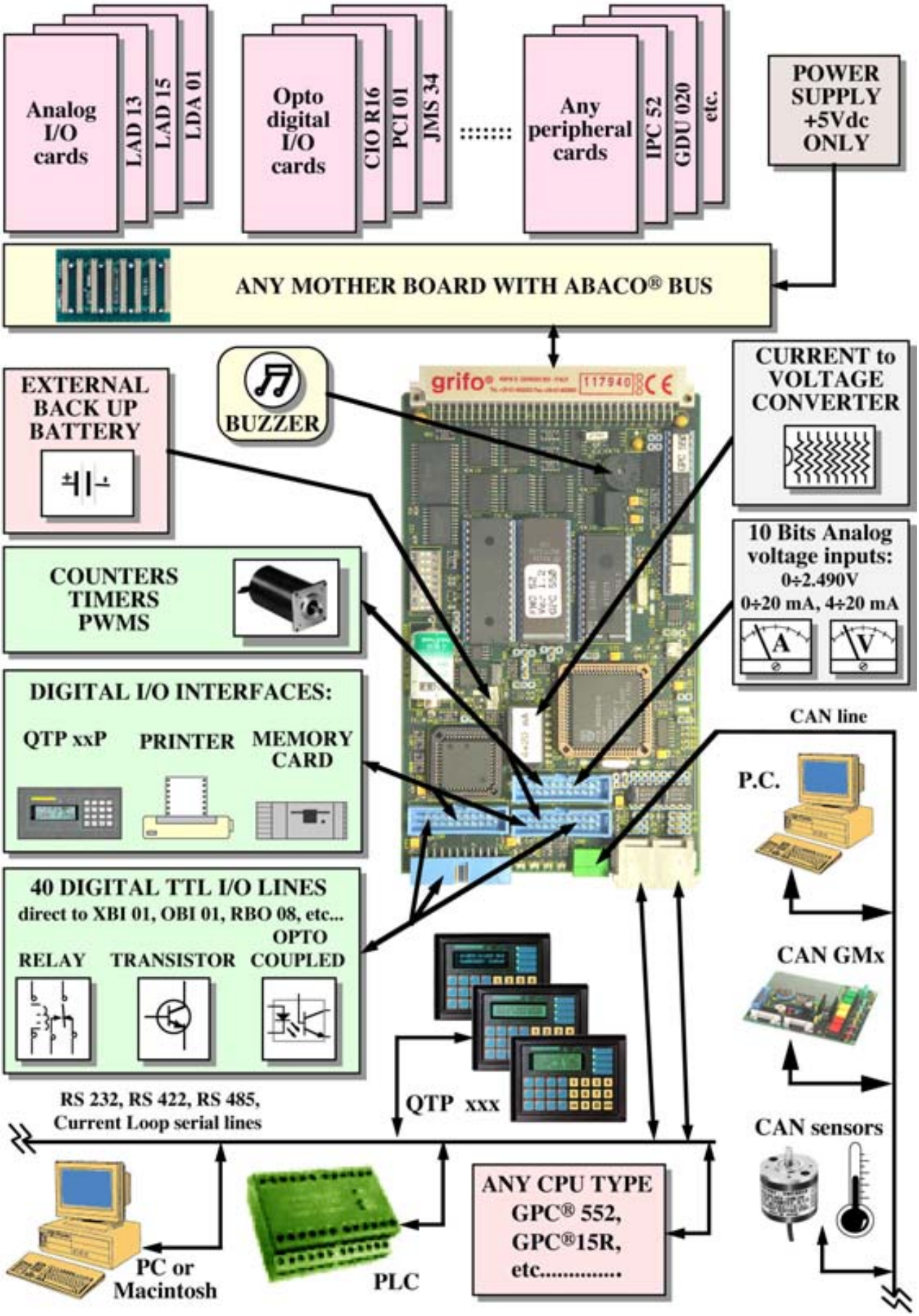


FIGURA 45: SCHEMA DELLE POSSIBILI CONNESSIONI

COMUNICAZIONE RS 422, RS 485

Come descritto nelm paragrafo "SELEZIONE COMUNICAZIONE SERIALE" la gestione della comunicazione in RS 422 o RS 485 a bordo della **GPC® 550** é affidata ad un segnale denominato DIR collegabile al segnale PWM1 della CPU. Quest'ultimo é facilmente settabile tramite l'ononimo registro interno PWM1 come di seguito descritto:

Comunicazione RS 422 punto punto: sia il trasmettitore che il ricevitore possono essere sempre abilitati. Dal punto di vista hardware é sufficiente mantenere il dip switch DSW1.7 in OFF in modo da non collegare il segnale PWM1 al DIR ed in modo da mantenere attiva la trasmissione del driver RS 422; dal punto di vista software non é necessaria alcuna gestione.

Comunicazione RS 422 in rete: il ricevitore é sempre abilitato mentre il trasmettitore deve essere abilitato solo in fase di trasmissione.

Dal punto di vista hardware si deve mantenere il dip switch DSW1.7 in ON in modo da collegare il segnale PWM1 al DIR e dal punto di vista software si gestisce il trasmettitore come segue:

registro PWM1 = FFH -> DIR = stato logico 0 -> trasmettitore attivo
registro PWM1 = 00H -> DIR = stato logico 1 -> trasmettitore disattivo

Comunicazione RS 485: il ricevitore é sempre abilitato ed il trasmettitore deve essere abilitato solo in fase di trasmissione, ottenendo la funzionalità di trasmissione o ricezione sulla linea half duplex.

Dal punto di vista hardware si deve mantenere il dip switch S1.7 in ON in modo da collegare il segnale PWM1 al DIR, e dal punto di vista software si gestisce il trasmettitore come segue:

registro PWM1 = FFH -> DIR = stato logico 0 -> linea in trasmissione
registro PWM1 = 00H -> DIR = stato logico 1 -> linea in ricezione

Si ricorda che quando DSW1.7 é in ON si collega il segnale DIR al segnale PWM1 e si perde la possibilità di utilizzare quest'ultimo per altre funzioni. In fase di reset o power on, il segnale PWM1=DIR è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.
Fare riferimento all'apposita documentazione tecnica del microcontrollore per il settaggio del registro PWM1.

SERIALE SOFTWARE B

La linea seriale B della **GPC® 550** é una seriale software in quanto coincide con due linee di I/O del microcontrollore che, una volta bufferate in RS 232, coincidono con le linee di comunicazione. In particolare:

P3.4 (output)	->	linea **TXB RS232**	
P3.2 (input)	->	linea **RXB RS232**	(se J5 in posizione 2-4)

Come da standard RS 232 lo stato logico 0 dei pin corrisponde allo stato positivo (+9 V) del relativo segnale, mentre lo stato logico 1 dei pin corrisponde allo stato logico negativo (-9 V).
La gestione della seriale B é quindi totalmente affidata al software di gestione eseguito dalla scheda che deve quindi ricreare un segnale con le giuste sequenze temporali sul P3.4 per la trasmissione ed

esaminare il segnale sul P3.2 per la ricezione. Al fine di semplificare tali gestioni é preferibile usare un timer interno per la generazione delle basi temporali in cui generare e/o esaminare il bit ed inoltre attivare l'interrupt /INT0 che é così in grado di segnalare automaticamente l'inizio del carattere in ricezione.
Come semplificazione l'utente può sfruttare alcuni pacchetti software (quali ad esempio **BASIC 550**, **BASCOM 8051** o **µC/51**) che ne supportano la gestione ad alto livello; con questi é possibile ricevere e trasmettere caratteri, con un protocollo fisico preimpostato, senza interagire direttamente con le linee di I/O e le tempistiche sopra descritte.
Per ulteriori informazioni sulle modalità di gestione dei segnali della sezione PORT fare riferimento all'apposita documentazione tecnica del microcontrollore.
A seguito di un reset o power on le due linee di gestione della seriale B software sono settate entrambe in input ed ad un livello logico alto, equivalente alla condizione di riposo della linea RS 232.

PPI 82C55

Questa periferica è vista in 4 registri: uno di controllo (RC) e tre dei dati (PA, PB, PC) con cui si effettua la programmazione ed il comando della stessa. I registri dati sono utilizzati sia per operazioni di lettura (acquisizione linee dei Port) che per quelle di scrittura (settaggio linee dei Port) ed ognuno corrisponde allo stato delle 8 linee di I/O PPI Px.y. La periferica può operare in tre modi diversi:

MODO 0 = Prevede due Port bidirezionali da 8 bit (A,B) e due Port bidirezionali da 4 bit (C LOW, C HIGH); gli ingressi non sono latchati, mentre le uscite lo sono; nessun segnale di handshaking.
MODO 1 = Prevede due Port da 12 bit (A+C LOW, B+C HIGH) dove gli 8 bit dei Port A e B costituiscono le linee di I/O, mentre i 4 bit del Port C costituiscono le linee di handshaking. Gli ingressi e le uscite sono latchati.
MODO 2 = Prevede un Port da 13 bit (A+C.3÷7) dove gli 8 bit del Port A costituiscono le linee di I/O, mentre i rimanenti 5 bit del Port C costituiscono le linee di controllo. Un Port da 11 bit (B+ C.0÷2) dove gli 8 bit del Port B costituiscono le linee di I/O ed i rimanenti 3 bit del Port C costituiscono le linee di controllo. Sia gli ingressi che le uscite sono latchate.

La programmazione della periferica avviene scrivendo un byte nel registro di controllo RC, settando gli 8 bit del dato scritto con la seguente corrispondenza:

	D7	D6	D5	D4	D3	D2	D1	D0
RC =	**SF**	**M1**	**M2**	**A**	**CH**	**M3**	**B**	**CL**

dove:

SF		= Se attivo (1) abilita il comando della periferica
M1	M2	= Selezionano il modo di funzionamento
0	0	= Selezione del modo 0
0	1	= Selezione del modo 1
1	X	= Selezione del modo 2
A		= Se attivo (1) setta il Port A in input e viceversa
CH		= Se attivo setta il nibble più significativo del Port C in input e viceversa
M3		= Se attivo (1) seleziona modo 1, viceversa seleziona modo 0
B		= Se attivo setta il Port B in input e viceversa
CL		= Se attivo setta il nibble meno significativo del Port C in input e viceversa.

Dopo una fase di reset o di power on il PPI 82C55 viene settato in modo 0, con tutti i Port in input.ad un livello logico definito dalle circuiterie collegate (alto in caso di Port non collegati).

LINEE I/O DELLA CPU

Il microcontrollore P80C552 usato a bordo della **GPC® 550** é provvisto di tre Port ad 8 bit (Port 1, 4, 5) per un totale di 24 linee di I/O. Molte di queste linee sono fisicamente multiplexate all'interno dello stesso microcontrollore e possono quindi assumere funzionalità diverse a seconda della programmazione software effettuata. L'utente può arbitrariamente decidere la funzionalità di tali segnali collegati ai connettori CN1 e CN2, mentre non deve assolutamente settare i Port 0, 2 e deve programmare con scrupolosa attenzione i rimanenti segnali del Port 3 che sono infatti dedicati alla gestione dell'I2C BUS sofware, delle due seriali, ecc. Una variazione nell'inizializzazione od uno stato errato delle linee Port 0, 2, 3 può causare un malfunzionamento od un blocco nell'esecuzione del programma applicativo.
Per ulteriori informazioni sulle modalità di gestione dei segnali della sezione PORT fare riferimento all'apposita documentazione tecnica del micro.
A seguito di un reset o power on tutte le linee dei Port sono settate in input, ad un livello logico definito dalle circuiterie collegate (alto in caso di Port non collegati).

CONTROLLORE CAN

Come indicato nella tabella di figura 40 il controllore CAN **SJA 1000**, é gestito tramite una serie di registri di comando e/o stato che sono approfonditamente descritti nell'appendice B di questo manuale ed utilizzati negli esempi forniti assieme alla scheda. In questo paragrafo vengono solo riportate una serie di informazioni aggiuntive, necessarie per usare correttamente tali registri.

1) Il Bit Rate di comunicazione, ricavabile dalle informazioni dell'appendice B, é ottenibile dalla seguente formula:

BAUD RATE = Freq / 2 * (BRP + 1) * (3 + TSEG1 + TSEG2)

dove:

Freq	=	Frequenza di clock del controllore CAN in Hz (24000000).
BRP	=	Valore espresso dai bit **BRP.x** del **Bus Timing Register 0** (BTR0, indirizzo **FF06H**).
TSEG1	=	Valore espresso dai bit **TSEG1.x** del **Bus Timing Register 1** (BTR1, indirizzo **F07H**).
TSEG2	=	Valore espresso dai bit **TSEG2.x** del **Bus Timing Register 1** (BTR1, indirizzo **FF07H**).

2) Per un corretto interfacciamento fra il controllore CAN **SJA1000** ed il driver di linea **82C250**, é necessario programmare l'**Output control register** (OCR, indirizzo **INDPCS6+8**), con il dato **FA Hex**; in questo modo si configura il dispositivo in "Normal output mode", con le uscite TX0 e TX1 in "Push-Pull".

3) Nelle figura seguente viene riportata la flow chart relativa all'inizializzazione consigliata del controllore CAN **SJA1000**: come si può notare, questa inizializzazione non prevede l'utilizzo di Interrupt. Per una loro eventuale gestione, é necessario settare opportunamente i bit del Control Register (CR, indirizzo **INDPCS6**+0).

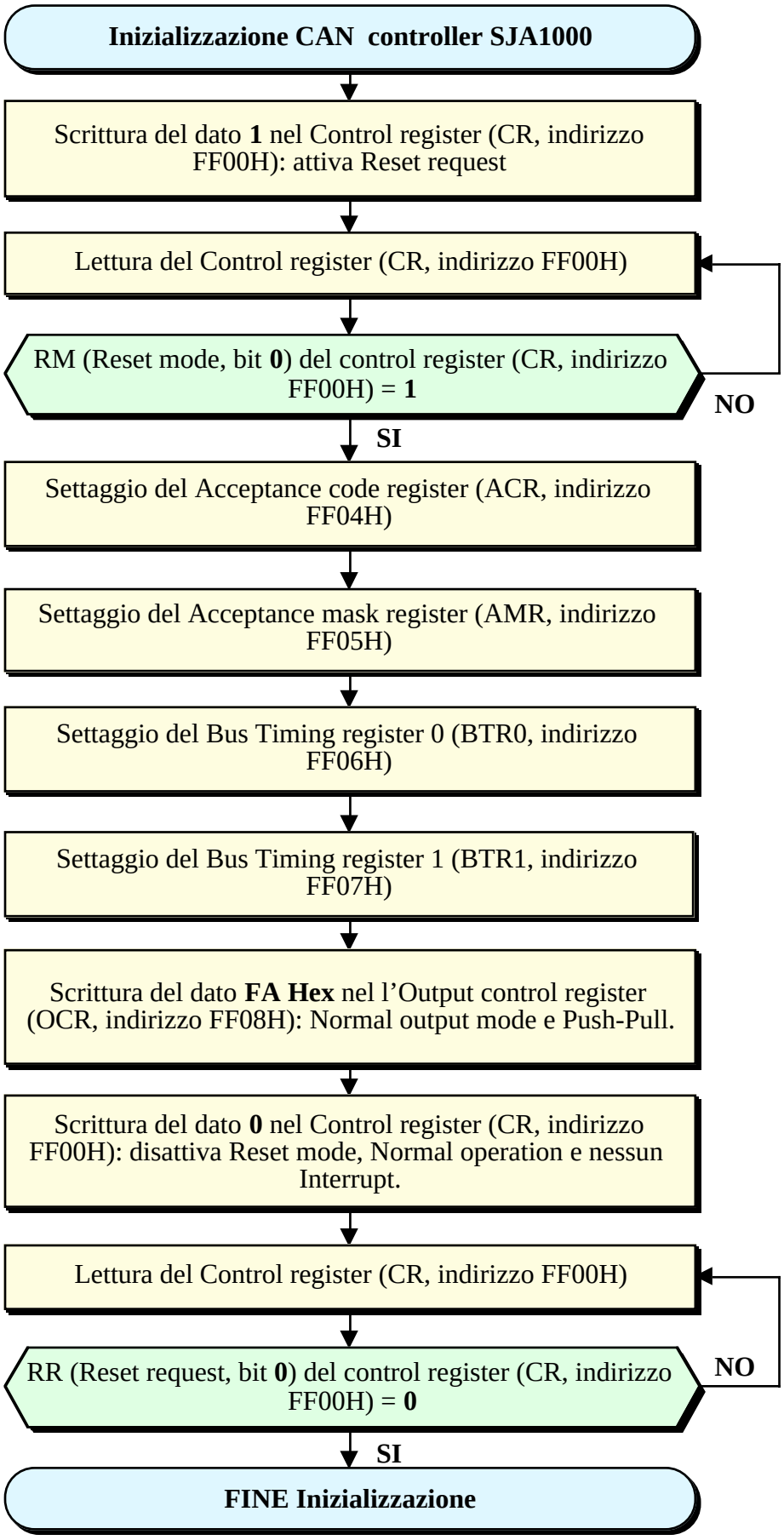

Inizializzazione CAN controller SJA1000
Scrittura del dato 1 nel Control register (CR, indirizzo FF00H): attiva Reset request
Lettura del Control register (CR, indirizzo FF00H)
RM (Reset mode, bit 0) del control register (CR, indirizzo FF00H) = 1
NO
SI
Settaggio del Acceptance code register (ACR, indirizzo FF04H)
Settaggio del Acceptance mask register (AMR, indirizzo FF05H)
Settaggio del Bus Timing register 0 (BTR0, indirizzo FF06H)
Settaggio del Bus Timing register 1 (BTR1, indirizzo FF07H)
Scrittura del dato FA Hex nel l'Output control register (OCR, indirizzo FF08H): Normal output mode e Push-Pull.
Scrittura del dato 0 nel Control register (CR, indirizzo FF00H): disattiva Reset mode, Normal operation e nessun Interrupt.
Lettura del Control register (CR, indirizzo FF00H)
RR (Reset request, bit 0) del control register (CR, indirizzo FF00H) = 0
NO
SI
FINE Inizializzazione

FIGURA 46: FLOW CHART INIZIALIZZAZIONE CONTROLLORE CAN

UNITÀ GESTIONE MEMORIE (MMU)

L'allocazione dello spazio d'indirizzamento fisico delle memorie che possono essere montate sulla **GPC® 550** all'interno dello spazio d'indirizzamento logico del microcontrollore, è affidato ad una efficiente circuiteria di gestione memorie (Memory Management Unit). Per rendere possibile l'indirizzamento dello spazio fisico massimo delle memorie (768K Bytes) nello spazio logico massimo del microcontrollore (64K Bytes come area dati e 64K Bytes come area codice) la MMU provvede ad impaginare le memorie, ovvero a suddividerle in pagine di dimensioni uguali che possono essere selezionate via software. Tale selezione viene effettuata tramite l'apposito registro MEM allocato nello spazio di I/O, che ha il significato riportato di seguito:

MEM: I bits di tale registro hanno il seguente significato

MEM.7	->	A18 x IC18
MEM.6	->	A17 x IC18
MEM.5	->	A16 x IC18
MEM.4	->	A15 x IC18
MEM.3	->	A15 x IC7
MEM.2	->	A16 x IC7
MEM.1	->	A15 x IC19
MEM.0	->	A16 x IC19

Dove quindi i primi due bits D1÷D0 selezionano la pagina di EPROM su IC19, il secondo gruppo di bits D3÷D2 selezionano la pagina di SRAM su IC7 ed il terzo ed ultimo gruppo di bits D7÷D4 selezionano la pagina di EPROM, FLASH EPROM, SRAM, EEPROM su IC18.

Visto che le indicazioni A18÷A15 usate sopra corrispondono alle linee di indirizzo della memoria fisica, si ricava facilmente che tutte le pagine sono della dimensione costante di **32K Bytes**. Questo si traduce in un numero massimo di 4 pagine per la EPROM e la SRAM di IC19 ed IC7 e di 16 pagine per lo zoccolo multimemoria IC18, come descritto nella successiva figura 47.
All'atto del power on o del reset il registro MEM è azzerato (tutti i bits a 0); questo equivale ad una selezione da parte della MMU dei primi 32K di ogni componente, equivalente alle pagine 0 di ogni memoria fisica.
Naturalmente i diversi mappaggi delle memorie, descritti nelle figure 41÷44, agiscono a loro volta sugli indirizzi del microcontrollore in cui la pagina scelta con l'MMU, viene allocata. In aggiunta l'indirizzo di allocazione usato dal micro non coincide più con l'indirizzo fisico della memoria e per ottenere quest'ultimo si deve tener conto sia del mappaggio scelto che del settaggio della circuiteria di MMU.
Per facilitare la determinazione sia degli indirizzi fisici della memoria che del settaggio del registro MEM, vengono di seguito riportate alcune tabelle che includono tutte le informazioni necessarie per gestire l'MMU in tutti i 4 mappaggi disponibili sulla scheda. Su queste tabelle:

- La X indica che lo stato del bit è indifferente per il settaggio che si deve realizzare e può quindi assumere sia lo stato di 0 che di 1, a seconda delle rimanenti memorie da selezionare.
- I suffissi B ed H indicano che i precedenti valori sono rispettivamente espressi in binario ed esadecimale.
- La distinzione dell'accesso negli indirizzi della CPU si riferisce alle due modalità che il microcontrollore prevede, ovvero come area CODICE (MOVC) od area DATI (MOVX).

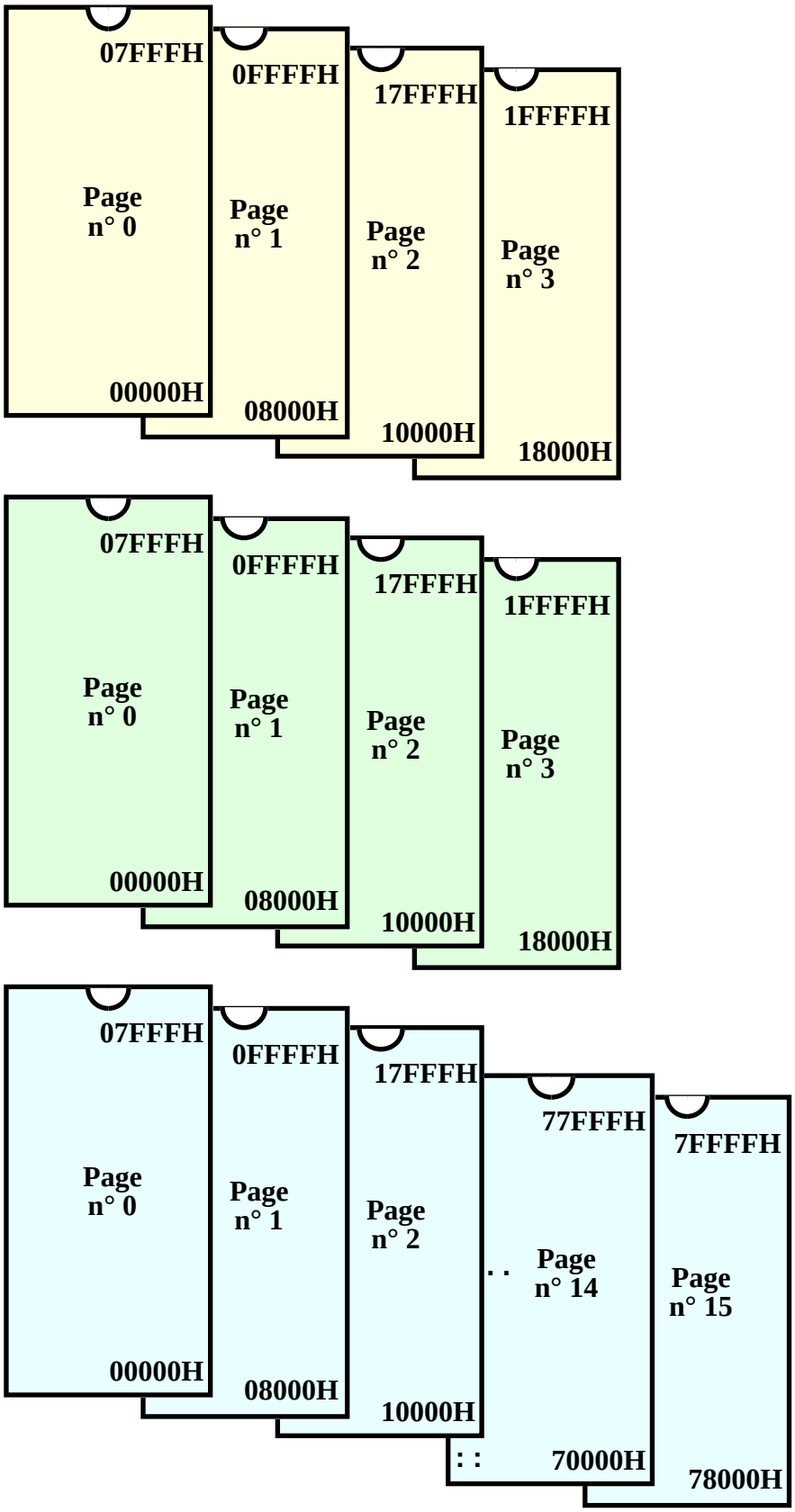


FIGURA 47: NUMERAZIONE PAGINE DA SEZIONE MMU

MAPPAGGIO	INDIRIZZI, ACCESSO CPU	PAGINA	INDIRIZZI DISPOSITIVO	REGISTRO MEM
MODO 0	FEFFH÷8000H DATI CODICE	0	IC18: 07EFFH÷00000H	0000XXXXB = 00H
		1	IC18: 0FEFFH÷08000H	0001XXXXB = 10H
		2	IC18: 17EFFH÷10000H	0010XXXXB = 20H
		3	IC18: 1FEFFH÷18000H	0011XXXXB = 30H
		4	IC18: 27EFFH÷20000H	0100XXXXB = 40H
		5	IC18: 2FEFFH÷28000H	0101XXXXB = 50H
		6	IC18: 37EFFH÷30000H	0110XXXXB = 60H
		7	IC18: 3FEFFH÷38000H	0111XXXXB = 70H
		8	IC18: 47EFFH÷40000H	1000XXXXB = 80H
		9	IC18: 4FEFFH÷48000H	1001XXXXB = 90H
		10	IC18: 57EFFH÷50000H	1010XXXXB = A0H
		11	IC18: 5FEFFH÷58000H	1011XXXXB = B0H
		12	IC18: 67EFFH÷60000H	1100XXXXB = C0H
		13	IC18: 6FEFFH÷68000H	1101XXXXB = D0H
		14	IC18: 77EFFH÷70000H	1110XXXXB = E0H
		15	IC18: 7FEFFH÷78000H	1111XXXXB = F0H
	7FFFH÷0000H DATI	0	IC7: 07FFFH÷00000H	XXXX00XXB = 00H
		1	IC7: 0FFFFH÷08000H	XXXX10XXB = 08H
		2	IC7: 17FFFH÷10000H	XXXX01XXB = 04H
		3	IC7: 1FFFFH÷18000H	XXXX11XXB = 0CH
	7FFFH÷0000H CODICE	0	IC19: 07FFFH÷00000H	XXXXXX00B = 00H
		1	IC19: 0FFFFH÷08000H	XXXXXX10B = 02H
		2	IC19: 17FFFH÷10000H	XXXXXX01B = 01H
		3	IC19: 1FFFFH÷18000H	XXXXXX11B = 03H
MODO 1	FEFFH÷8000H DATI CODICE	0	IC7: 07EFFH÷00000H	XXXX00XXB = 00H
		1	IC7: 0FEFFH÷08000H	XXXX10XXB = 08H
		2	IC7: 17EFFH÷10000H	XXXX01XXB = 04H
		3	IC7: 1FEFFH÷18000H	XXXX11XXB = 0CH
	7FFFH÷0000H DATI CODICE	0	IC19: 07FFFH÷00000H	XXXXXX00B = 00H
		1	IC19: 0FFFFH÷08000H	XXXXXX10B = 02H
		2	IC19: 17FFFH÷10000H	XXXXXX01B = 01H
		3	IC19: 1FFFFH÷18000H	XXXXXX11B = 03H

FIGURA 48: TABELLA PROGRAMMAZIONE MMU CON MAPPAGGI 0 E 1

MAPPAGGIO	INDIRIZZI, ACCESSO CPU	PAGINA	INDIRIZZI DISPOSITIVO	REGISTRO MEM
MODO 2	FEFFH÷C000H CODICE	0	IC19: 07EFFH÷04000H	XXXXXX00B = 00H
		1	IC19: 0FEFFH÷0C000H	XXXXXX10B = 02H
		2	IC19: 17EFFH÷14000H	XXXXXX01B = 01H
		3	IC19: 1FEFFH÷1C000H	XXXXXX11B = 03H
	FEFFH÷8000H DATI BFFFH÷8000H CODICE	0	IC18: 07EFFH÷00000H	0000XXXXB = 00H
		1	IC18: 0FEFFH÷08000H	0001XXXXB = 10H
		2	IC18: 17EFFH÷10000H	0010XXXXB = 20H
		3	IC18: 1FEFFH÷18000H	0011XXXXB = 30H
		4	IC18: 27EFFH÷20000H	0100XXXXB = 40H
		5	IC18: 2FEFFH÷28000H	0101XXXXB = 50H
		6	IC18: 37EFFH÷30000H	0110XXXXB = 60H
		7	IC18: 3FEFFH÷38000H	0111XXXXB = 70H
		8	IC18: 47EFFH÷40000H	1000XXXXB = 80H
		9	IC18: 4FEFFH÷48000H	1001XXXXB = 90H
		10	IC18: 57EFFH÷50000H	1010XXXXB = A0H
		11	IC18: 5FEFFH÷58000H	1011XXXXB = B0H
		12	IC18: 67EFFH÷60000H	1100XXXXB = C0H
		13	IC18: 6FEFFH÷68000H	1101XXXXB = D0H
		14	IC18: 77EFFH÷70000H	1110XXXXB = E0H
		15	IC18: 7FEFFH÷78000H	1111XXXXB = F0H
	7FFFH÷0000H DATI CODICE	0	IC7: 07FFFH÷00000H	XXXX00XXB = 00H
		1	IC7: 0FFFFH÷08000H	XXXX10XXB = 08H
		2	IC7: 17FFFH÷10000H	XXXX01XXB = 04H
		3	IC7: 1FFFFH÷18000H	XXXX11XXB = 0CH

FIGURA 49: TABELLA PROGRAMMAZIONE MMU CON MAPPAGGIO 2

MAPPAGGIO	INDIRIZZI, ACCESSO CPU	PAGINA	INDIRIZZI DISPOSITIVO	REGISTRO MEM
MODO 3	FEFFH÷8000H DATI CODICE	0	IC18: 07EFFH÷00000H	0000XXXXB = 00H
		1	IC18: 0FEFFH÷08000H	0001XXXXB = 10H
		2	IC18: 17EFFH÷10000H	0010XXXXB = 20H
		3	IC18: 1FEFFH÷18000H	0011XXXXB = 30H
		4	IC18: 27EFFH÷20000H	0100XXXXB = 40H
		5	IC18: 2FEFFH÷28000H	0101XXXXB = 50H
		6	IC18: 37EFFH÷30000H	0110XXXXB = 60H
		7	IC18: 3FEFFH÷38000H	0111XXXXB = 70H
		8	IC18: 47EFFH÷40000H	1000XXXXB = 80H
		9	IC18: 4FEFFH÷48000H	1001XXXXB = 90H
		10	IC18: 57EFFH÷50000H	1010XXXXB = A0H
		11	IC18: 5FEFFH÷58000H	1011XXXXB = B0H
		12	IC18: 67EFFH÷60000H	1100XXXXB = C0H
		13	IC18: 6FEFFH÷68000H	1101XXXXB = D0H
		14	IC18: 77EFFH÷70000H	1110XXXXB = E0H
		15	IC18: 7FEFFH÷78000H	1111XXXXB = F0H
	7FFFH÷2000H DATI CODICE	0	IC7: 07FFFH÷02000H	XXXX00XXB = 00H
		1	IC7: 0FFFFH÷0A000H	XXXX10XXB = 08H
		2	IC7: 17FFFH÷12000H	XXXX01XXB = 04H
		3	IC7: 1FFFFH÷1A000H	XXXX11XXB = 0CH
	1FFFH÷0000H CODICE	0	IC19: 01FFFH÷00000H	XXXXXX00B = 00H
		1	IC19: 09FFFH÷08000H	XXXXXX10B = 02H
		2	IC19: 11FFFH÷10000H	XXXXXX01B = 01H
		3	IC19: 19FFFH÷18000H	XXXXXX11B = 03H

FIGURA 50: TABELLA PROGRAMMAZIONE MMU CON MAPPAGGIO 3

BIBLIOGRAFIA

E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 550**.

Manuale ATMEL:	*Non volatile memory*
Manuale HEWLETT PACKARD:	*Optoelectronics Designer's Catalog*
Manuale NATIONAL SEMICONDUCTOR:	*Linear Databook - Volume 1*
Manuale NEC:	*Microprocessors and Peripherals - Volume 3*
Manuale NEC:	*Memory Products*
Manuale NEWPORT:	*DC-DC Converters*
Manuale MAXIM:	*New Releases Data Book - Volume IV*
Manuale MAXIM:	*New Releases Data Book - Volume V*
Manuale PHILIPS:	*80C51 - Based 8-Bit Microcontrollers*
Manuale PHILIPS:	*IC12 - I^2C bus*
Manuale PHILIPS:	*Application notes and development tools for 80C51 microcontrollers*
Manuale SGS-THOMSON:	*Programmable Logic Manual GAL Products*
Manuale TEXAS INSTRUMENTS:	*The TTL Data Book - SN54/74 Families*
Manuale TEXAS INSTRUMENTS:	*RS-422 and RS-485 Interface Circuits*
Manuale TOSHIBA:	*Photo couplers Data Book*
Manuale XICOR:	*Data Book*

Per reperire questi manuali fare riferimento alle case produttrici ed ai relativi distributori locali. In alternativa si possono ricercare le medesime informazioni o gli eventuali aggiornamenti ai siti internet delle case elencate.

APPENDICE A: SCHEMI ELETTRICI

In questa appendice sono disponibili gli schemi elettrici delle interfaccie per la **GPC® 550** più frequentemente utilizzate. Tutte queste interfaccie possono essere prodotte autonomamente dall'utente mentre solo alcune di esse sono schede **grifo®** standard e possono quindi essere ordinate.

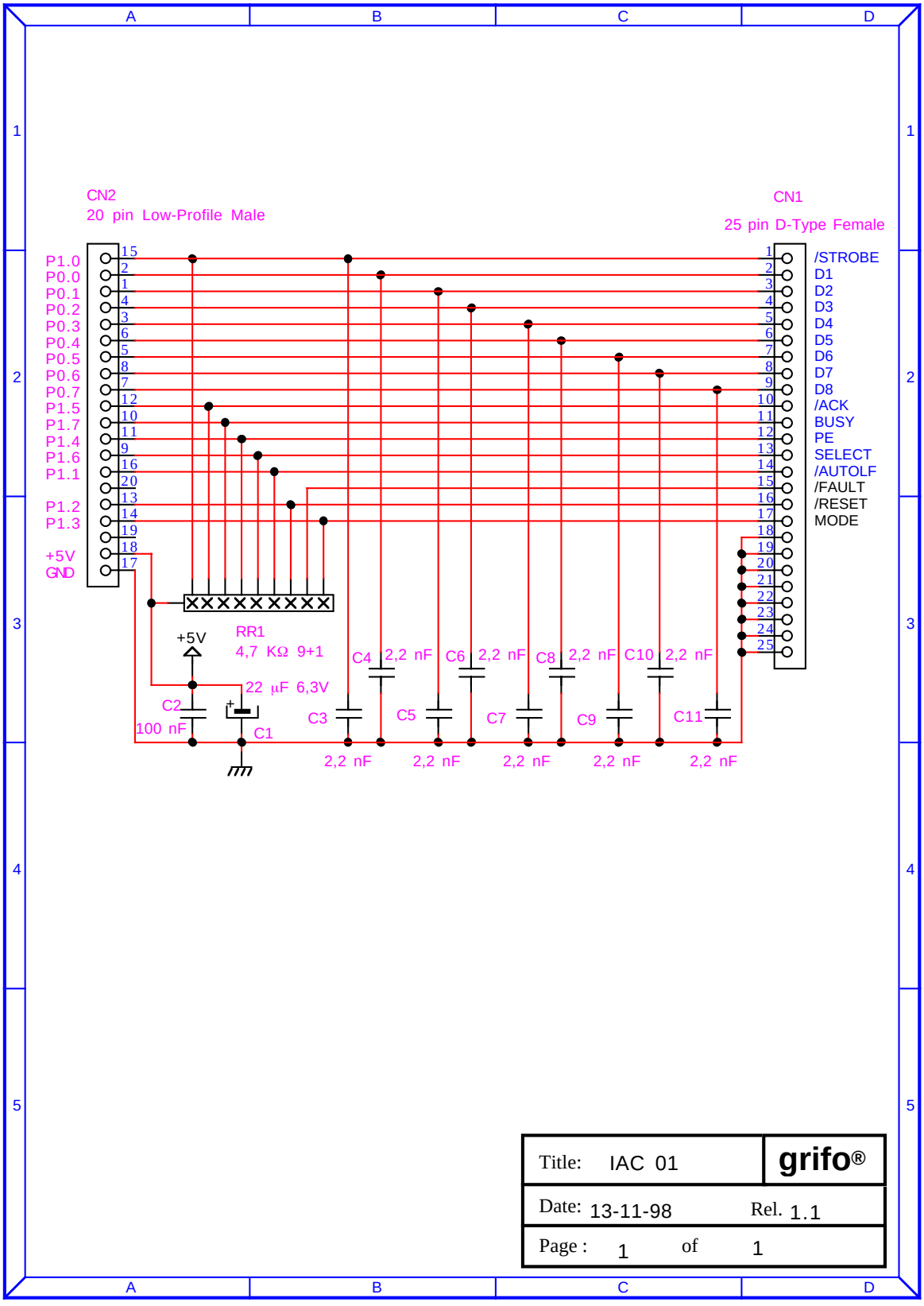
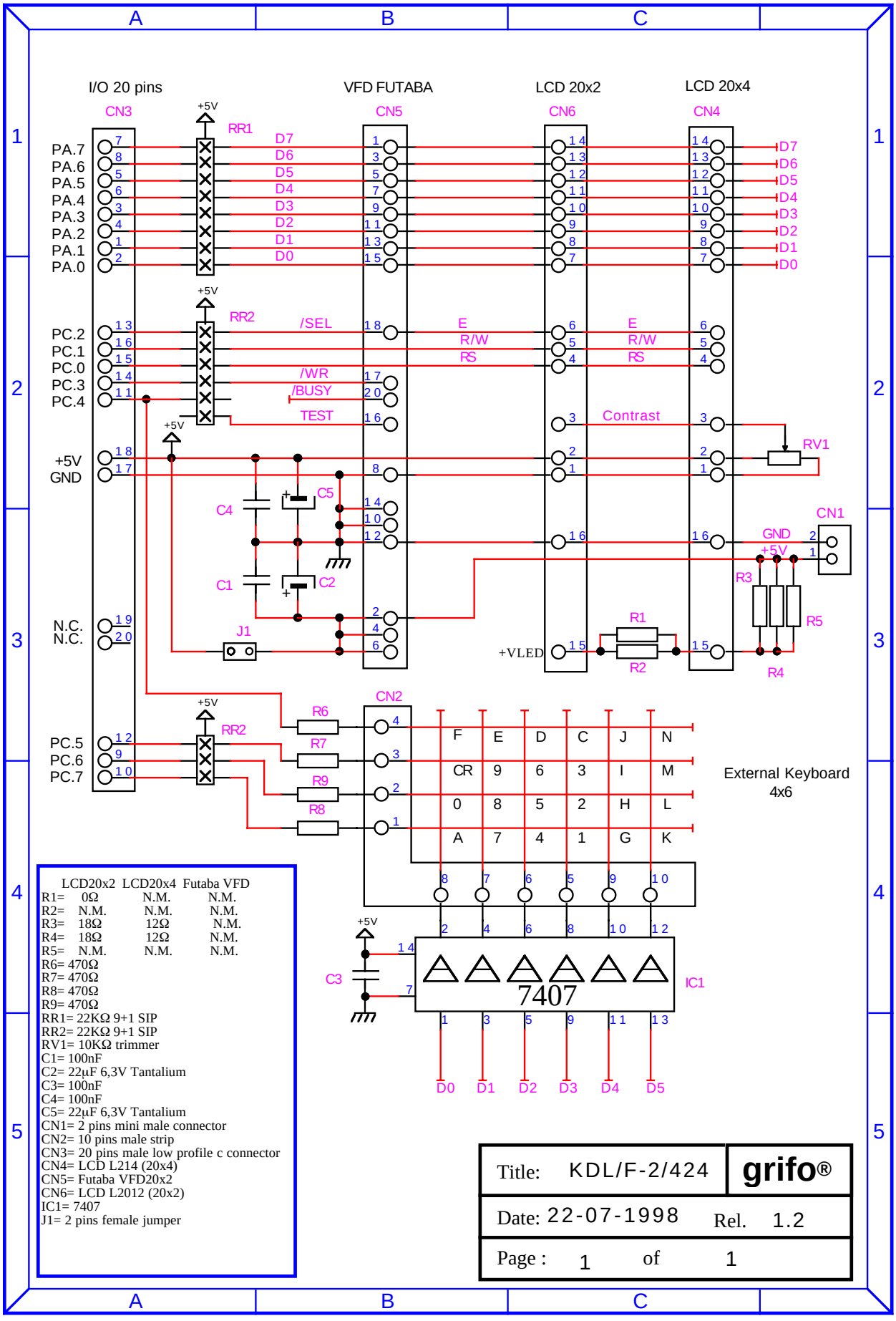


FIGURA A1: SCHEMA ELETTRICO IAC 01



	LCD20x2	LCD20x4	Futaba VFD
R1=	0Ω	N.M.	N.M.
R2=	N.M.	N.M.	N.M.
R3=	18Ω	12Ω	N.M.
R4=	18Ω	12Ω	N.M.
R5=	N.M.	N.M.	N.M.

R6= 470Ω
R7= 470Ω
R8= 470Ω
R9= 470Ω
RR1= 22KΩ 9+1 SIP
RR2= 22KΩ 9+1 SIP
RV1= 10KΩ trimmer
C1= 100nF
C2= 22µF 6,3V Tantalium
C3= 100nF
C4= 100nF
C5= 22µF 6,3V Tantalium
CN1= 2 pins mini male connector
CN2= 10 pins male strip
CN3= 20 pins male low profile c connector
CN4= LCD L214 (20x4)
CN5= Futaba VFD20x2
CN6= LCD L2012 (20x2)
IC1= 7407
J1= 2 pins female jumper

Title:	KDL/F-2/424	grifo®
Date: 22-07-1998	Rel. 1.2	
Page : 1	of 1	

FIGURA A2: SCHEMA ELETTRICO KDX X24

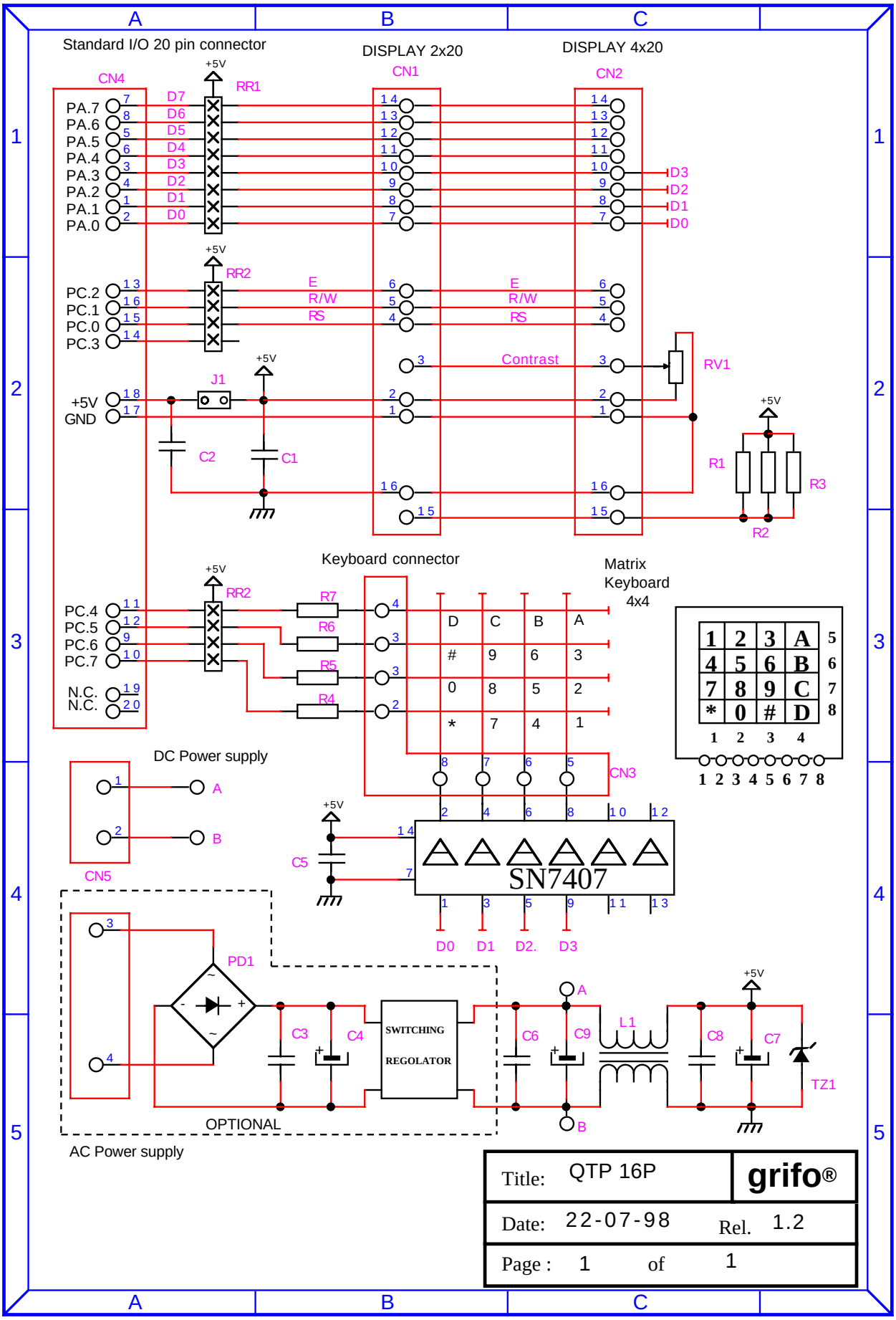


FIGURA A3: SCHEMA ELETTRICO QTP 16P

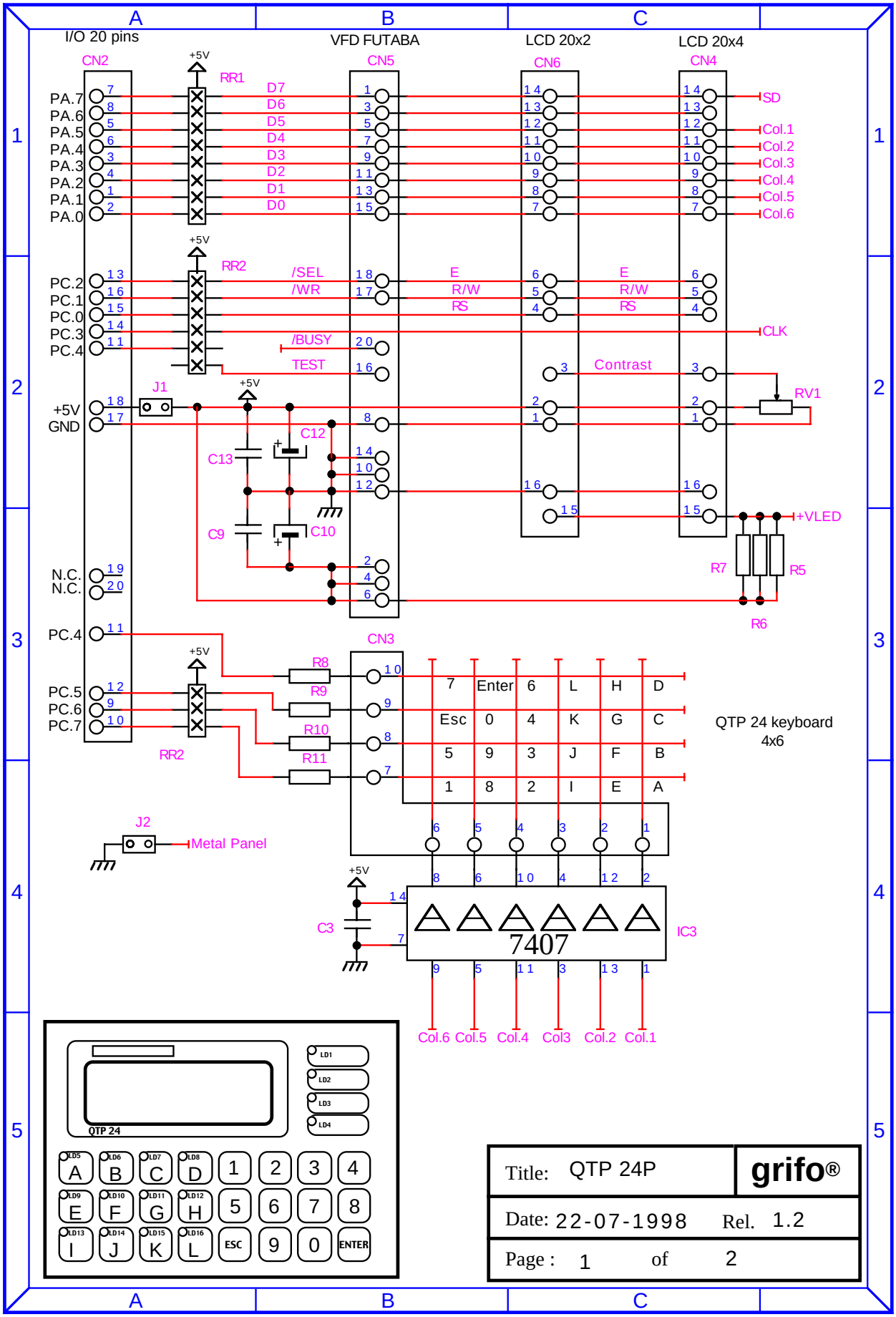


FIGURA A4: SCHEMA ELETTRICO QTP 24P - PARTE 1

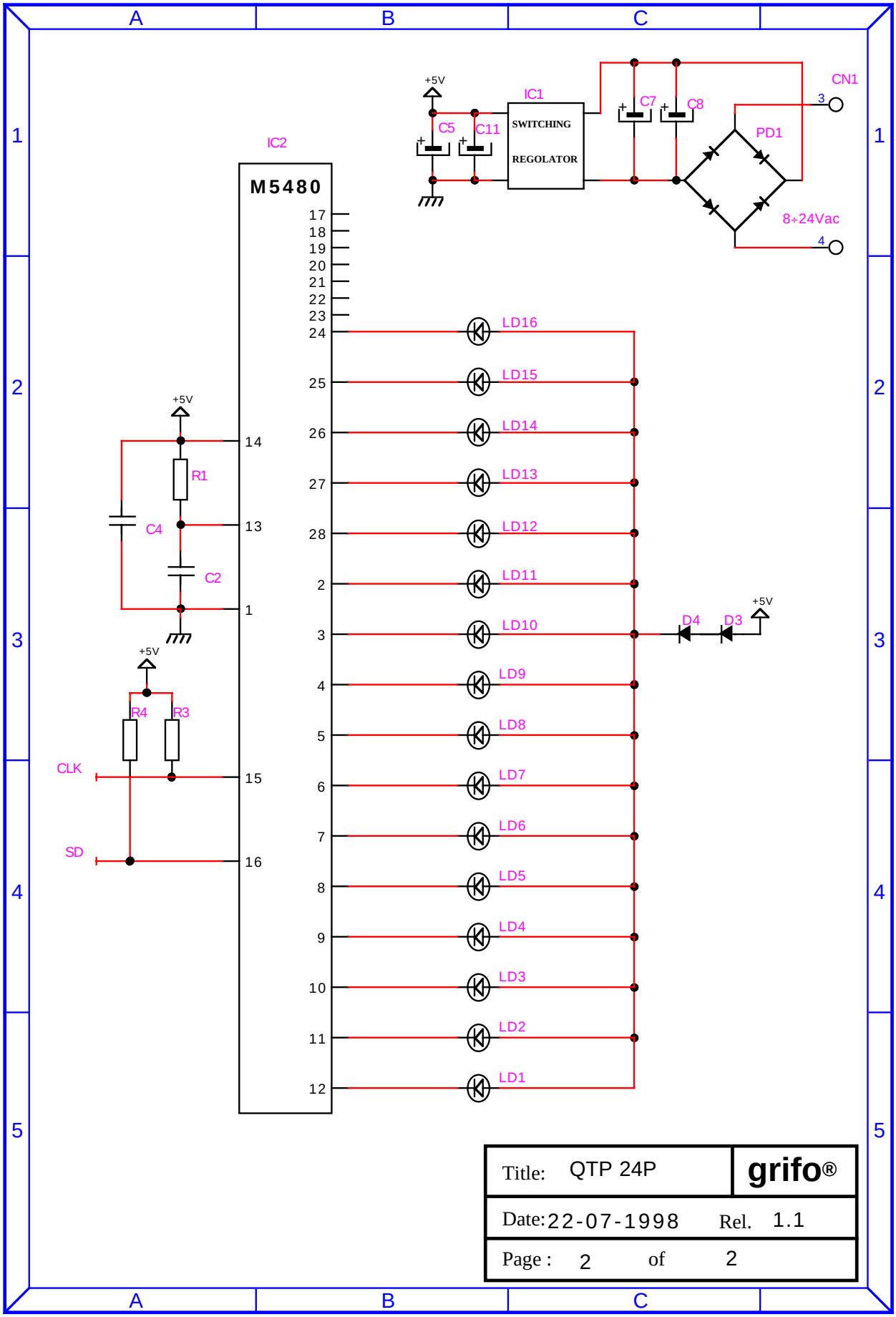


FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2

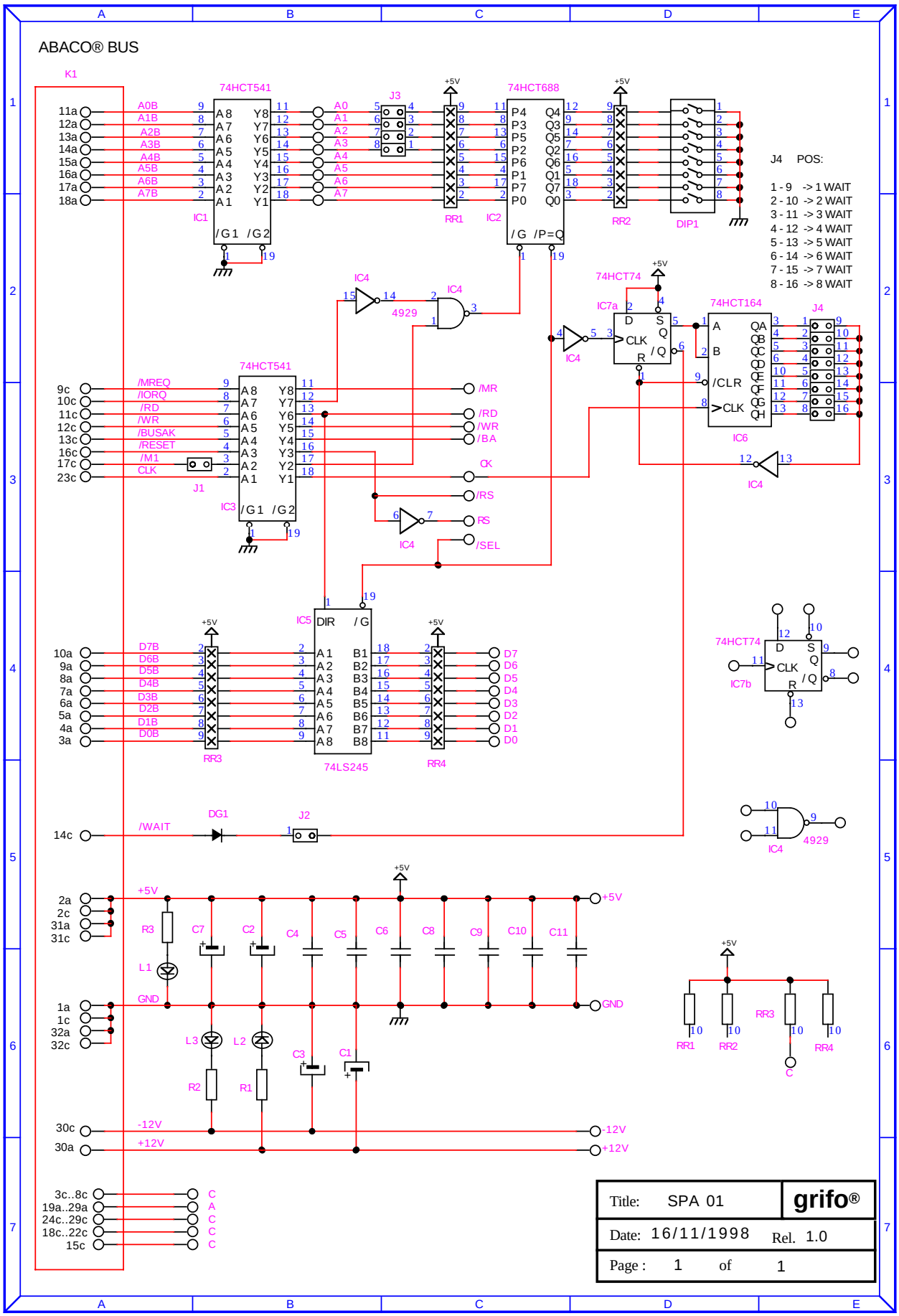


FIGURA A6: SCHEMA ELETTRICO SPA 01

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO

La **grifo®** fornisce un servizio di documentazione tecnica totalmente gratuito attraverso il proprio sito internet in cui possono essere scaricati le documentazioni tecniche complete dei componenti usati a bordo scheda. Si rimanda quindi l'utente a tali documenti scaricabili dalla pagina "Servizio Documentazion e Tecnica", di cui viene riportata solo la prima pagina.

CPU 80C552

Philips Semiconductors — **Product specification**

Single-chip 8-bit microcontroller — 80C552/83C552

Single-chip 8-bit microcontroller with 10-bit A/D, capture/compare timer, high-speed outputs, PWM

DESCRIPTION

The 80C552/83C552 (hereafter generically referred to as 8XC552) Single-Chip 8-Bit Microcontroller is manufactured in an advanced CMOS process and is a derivative of the 80C51 microcontroller family. The 8XC552 has the same instruction set as the 80C51. Three versions of the derivative exist:

- 83C552—8k bytes mask programmable ROM
- 80C552—ROMless version of the 83C552
- 87C552—8k bytes EPROM (described in a separate chapter)

The 8XC552 contains a non-volatile 8k × 8 read-only program memory (83C552), a volatile 256 × 8 read/write data memory, five 8-bit I/O ports, one 8-bit input port, two 16-bit timer/event counters (identical to the timers of the 80C51), an additional 16-bit timer coupled to capture and compare latches, a 15-source, two-priority-level, nested interrupt structure, an 8-input ADC, a dual DAC pulse width modulated interface, two serial interfaces (UART and I²C-bus), a “watchdog” timer and on-chip oscillator and timing circuits. For systems that require extra capability, the 8XC552 can be expanded using standard TTL compatible memories and logic.

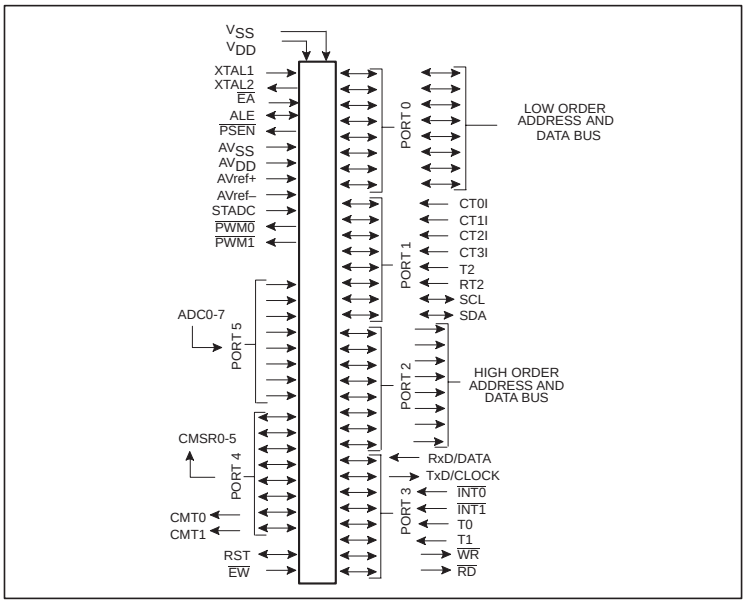
In addition, the 8XC552 has two software selectable modes of power reduction—idle mode and power-down mode. The idle mode freezes the CPU while allowing the RAM, timers, serial ports, and interrupt system to continue functioning. The power-down mode saves the RAM contents but freezes the oscillator, causing all other chip functions to be inoperative.

The device also functions as an arithmetic processor having facilities for both binary and BCD arithmetic plus bit-handling capabilities. The instruction set consists of over 100 instructions: 49 one-byte, 45 two-byte, and 17 three-byte. With a 16MHz (24MHz) crystal, 58% of the instructions are executed in 0.75µs (0.5µs) and 40% in 1.5µs (1µs). Multiply and divide instructions require 3µs (2µs).

FEATURES

- 80C51 central processing unit
- 8k × 8 ROM expandable externally to 64k bytes
- ROM code protection
- An additional 16-bit timer/counter coupled to four capture registers and three compare registers
- Two standard 16-bit timer/counters
- 256 × 8 RAM, expandable externally to 64k bytes
- Capable of producing eight synchronized, timed outputs
- A 10-bit ADC with eight multiplexed analog inputs
- Two 8-bit resolution, pulse width modulation outputs
- Five 8-bit I/O ports plus one 8-bit input port shared with analog inputs
- I²C-bus serial I/O port with byte oriented master and slave functions
- Full-duplex UART compatible with the standard 80C51
- On-chip watchdog timer
- Three speed ranges:
  - 3.5 to 16MHz
  - 3.5 to 24MHz (ROM, ROMless only)
  - 3.5 to 30MHz (ROM, ROMless only)
- Three operating ambient temperature ranges:
  - P83C552xBx: 0°C to +70°C
  - P83C552xFx: –40°C to +85°C (XTAL frequency max. 24 MHz)
  - P83C552xHx: –40°C to +125°C (XTAL frequency max. 16 MHz)

LOGIC SYMBOL



PROGRAMMER'S GUIDE AND INSTRUCTION SET

Memory Organization

Program Memory

The 80C51 has separate address spaces for program and data memory. The Program memory can be up to 64k bytes long. The lower 4k can reside on-chip. Figure 1 shows a map of the 80C51 program memory.

The 80C51 can address up to 64k bytes of data memory to the chip. The MOVX instruction is used to access the external data memory.

The 80C51 has 128 bytes of on-chip RAM, plus a number of Special Function Registers (SFRs). The lower 128 bytes of RAM can be accessed either by direct addressing (MOV data addr) or by indirect addressing (MOV @Ri). Figure 2 shows the Data Memory organization.

Direct and Indirect Address Area

The 128 bytes of RAM which can be accessed by both direct and indirect addressing can be divided into three segments as listed below and shown in Figure 3.

1. Register Banks 0-3: Locations 0 through 1FH (32 bytes). The device after reset defaults to register bank 0. To use the other register banks, the user must select them in software. Each register bank contains eight 1-byte registers 0 through 7. Reset initializes the stack pointer to location 07H, and it is incremented once to start from location 08H, which is the first register (R0) of the second register bank. Thus, in order to use more than one register bank, the SP should be initialized to a different location of the RAM where it is not used for data storage (i.e., the higher part of the RAM).
2. Bit Addressable Area: 16 bytes have been assigned for this segment, 20H-2FH. Each one of the 128 bits of this segment can be directly addressed (0-7FH). The bits can be referred to in two ways, both of which are acceptable by most assemblers. One way is to refer to their address (i.e., 0-7FH). The other way is with reference to bytes 20H to 2FH. Thus, bits 0-7 can also be referred to as bits 20.0-20.7, and bits 8-FH are the same as 21.0-21.7, and so on. Each of the 16 bytes in this segment can also be addressed as a byte.
3. Scratch Pad Area: 30H through 7FH are available to the user as data RAM. However, if the stack pointer has been initialized to this area, enough bytes should be left aside to prevent SP data destruction.

Figure 2 shows the different segments of the on-chip RAM.

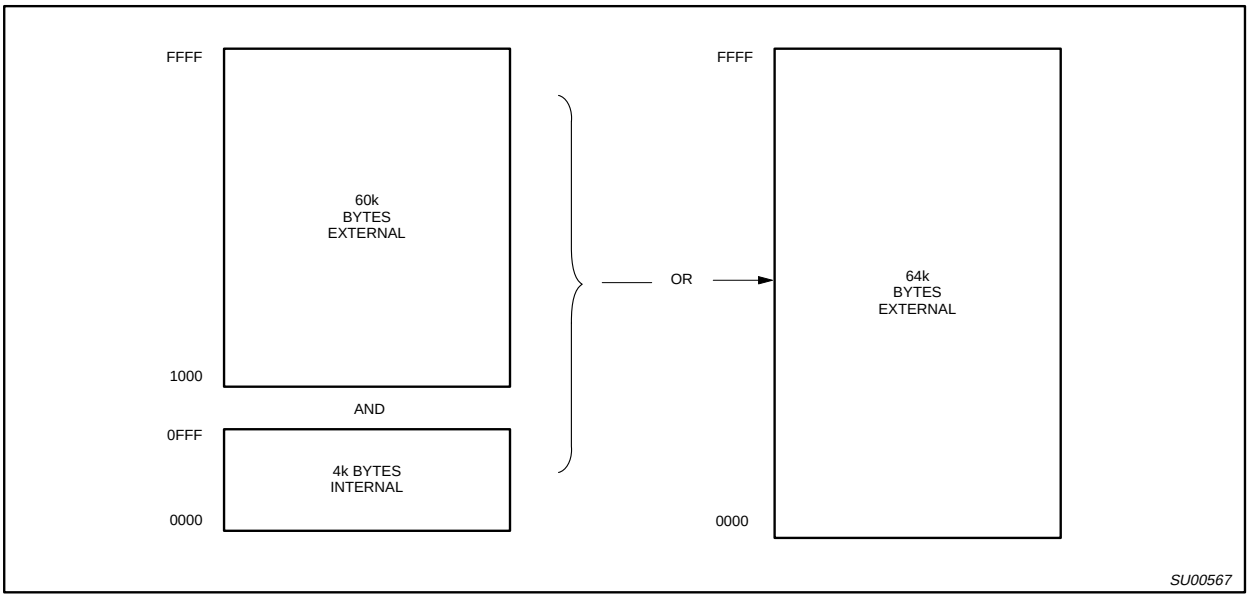


Figure 1. 80C51 Program Memory

CONTROLLORE CAN SJA 1000

Stand-alone CAN controller SJA1000

1 FEATURES

- Pin compatibility to the PCA82C200 stand-alone CAN controller
- Electrical compatibility to the PCA82C200 stand-alone CAN controller
- Software-compatibility mode to the PCA82C200 (BasicCAN mode is default)
- Extended receive buffer (64-byte FIFO)
- CAN 2.0B protocol compatibility (extended frame passive in PCA82C200 compatibility mode)
- Supports 11-bit identifier as well as 29-bit identifier
- Bit rates up to 1 Mbits/s
- PeliCAN mode extensions:
  - Error counters with read/write access
  - Programmable error warning limit
  - Last error code register
  - Error interrupt for each CAN-bus error
  - Arbitration lost interrupt with detailed bit position
  - Single-shot transmission (no re-transmission)
  - Listen only mode (no acknowledge, no active error flags)
  - Hot plugging support (software driven bit rate detection)
  - Acceptance filter extension (4-byte code, 4-byte mask)
  - Reception of ‘own’ messages (self reception request)
- 24 MHz clock frequency
- Interfaces to a variety of microprocessors
- Programmable CAN output driver configuration
- Extended ambient temperature range (–40 to +125 °C).

2 GENERAL DESCRIPTION

The SJA1000 is a stand-alone controller for the Controller Area Network (CAN) used within automotive and general industrial environments. It is designed to be hardware and software compatible to the PCA82C200 CAN controller (BasicCAN) from Philips Semiconductors. Additionally, a new mode of operation is implemented (PeliCAN) which supports the CAN 2.0B protocol specification with several new features.

3 ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
SJA1000	DIP28	plastic dual in-line package; 28 leads (600 mil)	SOT117-1
SJA1000T	SO28	plastic small outline package; 28 leads; body width 7.5 mm	SOT136-1

SRAM+RTC PCF8583

Clock/calendar with 240 × 8-bit RAM PCF8583

1 FEATURES

- I²C-bus interface operating supply voltage: 2.5 V to 6 V
- Clock operating supply voltage (0 to +70 °C): 1.0 V to 6.0 V
- 240 × 8-bit low-voltage RAM
- Data retention voltage: 1.0 V to 6 V
- Operating current (at f_{SCL} = 0 Hz): max. 50 μA
- Clock function with four year calendar
- Universal timer with alarm and overflow indication
- 24 or 12 hour format
- 32.768 kHz or 50 Hz time base
- Serial input/output bus (I²C)
- Automatic word address incrementing
- Programmable alarm, timer and interrupt function
- Slave address:
  - READ: A1 or A3
  - WRITE: A0 or A2.

2 GENERAL DESCRIPTION

The PCF8583 is a clock/calendar circuit based on a 2048-bit static CMOS RAM organized as 256 words by 8 bits. Addresses and data are transferred serially via the two-line bidirectional I²C-bus. The built-in word address register is incremented automatically after each written or read data byte. Address pin A0 is used for programming the hardware address, allowing the connection of two devices to the bus without additional hardware.

The built-in 32.768 kHz oscillator circuit and the first 8 bytes of the RAM are used for the clock/calendar and counter functions. The next 8 bytes may be programmed as alarm registers or used as free RAM space.
The remaining 240 bytes are free RAM locations.

3 QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITION	MIN.	TYP.	MAX.	UNIT
V_{DD}	supply voltage operating mode	I²C-bus active	2.5	–	6.0	V
		I²C-bus inactive	1.0	–	6.0	V
I_{DD}	supply current operating mode	f_{SCL} = 100 kHz	–	–	200	μA
I_{DDO}	supply current clock mode	f_{SCL} = 0 Hz; V_{DD} = 5 V	–	10	50	μA
		f_{SCL} = 0 Hz; V_{DD} = 1 V	–	2	10	μA
T_{amb}	operating ambient temperature range		−40	–	+85	°C
T_{stg}	storage temperature range		−65	–	+150	°C

4 ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
PCF8583P	DIP8	plastic dual in-line package; 8 leads (300 mil)	SOT97-1
PCF8583T	SO8	plastic small outline package; 8 leads; body width 7.5 mm	SOT176-1

APPENDICE C: INDICE ANALITICO

Simboli

.8420 **30**, **40**
.LITIO **14**, **46**
/IORQ **29**, **58**

A

A/D **6**, **12**, **30**, **39**
Accessori **14**, **26**, **40**, **46**, **52**
Alimentazione **13**, **48**
Alimentazione CAN **32**, **48**
Alimentazione current loop **25**
Assistenza **1**

B

Back up **13**, **14**, **46**
BasicCAN **10**
Batteria **13**, **14**, **35**, **46**
Bibliografia **77**
Bit rate **11**, **12**, **70**
BUS ABACO® **28**, **58**, **A-6**
Buzzer **9**, **35**, **59**, **64**

C

CAN **9**, **10**, **12**, **32**, **36**, **48**, **54**, **59**, **70**, **B-3**
Caratteristiche
  elettriche **13**
  fisiche **12**
  generali **12**
Cariche elettrostatiche **1**
Cavi seriali **26**, **52**
CCITT **20**, **26**
CCR.Plugxxx **26**, **52**
Clock **9**, **12**
Collegamento CAN **54**
Collegamento I2C BUS **37**
Comunicazione seriale **10**, **20**, **26**, **50**, **68**
Condensa **13**
Configurazione base **9**, **10**, **11**, **13**, **42**, **50**
Configurazione scheda **9**
Connessioni **14**
Connettori **12**, **14**, **35**

CN1 **18**
CN2 **30**
CN3 **15**
CN4A **20**
CN4B **26**
CN5 **28**
CN7 **16**
CN8 **32**
CN9 **14**
Consumi **13**, **48**
Contenitore **1**
Convertitore corrente tensione **30**, **40**
Corrente assorbita **13**
Current loop **10**, **20**, **24**, **36**, **50**

D

DC/DC converter **10**, **33**
DEBUG **9**, **66**
Dimensioni **12**
Dip switch **9**, **35**, **50**, **59**, **66**
Direttive **1**
Disposizione elementi **35**
Disturbi **48**, **54**
Driver seriali **50**, **51**

E

EEPROM **6**, **12**, **53**, **58**, **65**
EPROM **6**, **12**, **53**, **58**
Errore complessivo A/D **12**
Espansione **8**, **36**

F

Filtri **30**, **48**
FLASH EPROM **12**, **53**, **58**
Forzatura **23**, **52**
Foto scheda **55**
Frequenza taglio **36**
Frequenze **12**

G

Garanzia **1**
GET51 **56**

H

Handshake **52**

I

I/O ABACO® 8, 15, 16, 18, 40
I/O digitale **8, 15, 16, 18, 30, 40, 69, 70**
I2C BUS **37, 64, 65**
IAC 01 **A-1**
Impedenza **13, 30, 34, 54**
Indirizzamenti **58, 72, 74**
Informazioni generali **4**
Ingressi analogici **6, 13, 30, 36, 40**
Ingressi configurazione **9, 66**
Inizializzazione CAN **71**
Installazione **14**
Interfacciamento **36**
Interfaccie **40, A-1**
Interrupt **15, 48**
Introduzione **1**

J

Jumpers **42**
2 vie **43**
3 vie **44**
4 vie **44**
5 vie **46**
disposizione **45**

K

KDx x24 **40, A-2**

L

LED **9, 35, 41, 64**
LED attività **59, 64**
Linea seriale A **20**
Linea seriale B **26, 68**
Logica di controllo **8, 58**

M

Mappaggio **8, 58**
BUS ABACO® 58

memorie **59**
modo 0 **60**, **74**
modo 1 **61**, **74**
modo 2 **62**, **75**
modo 3 **63**, **76**
periferiche **59**
risorse **58**
Memorie **9**, **12**, **35**, **52**, **59**, **72**
Microcontrollore **5**, **12**, **48**, **65**, **B-1**, **B-2**
MMU **6**, **58**, **59**, **72**
Mother board **8**

N

Normative **1**

O

Opzioni **10**, **11**, **14**, **40**, **50**, **53**

P

Pagine **72**
Pannelli operatore **40**, **A-2**
PeliCAN **10**
Periferiche **64**
Peso **12**
Piante componenti **21**, **47**
PORT **8**, **70**
Port 1 **18**
Port 4 **18**
Port 5 **30**
Port A **16**, **69**
Port B **15**, **69**
Port C **16**, **69**
Power good **49**
PPI 82C55 **8**, **15**, **16**, **59**, **69**

Q

QTP **26**, **40**, **52**
QTP 16P **A-3**
QTP 24P **A-4**

R

Range analogici **40**
Registri **59**, **64**
Reset **12**, **49**
Rete CAN **34**
Rete current loop **25**
Rete I2C BUS **38**
Rete RS 485 **23**, **38**
Rete terminazione **13**, **23**, **52**, **54**
Risoluzione A/D **12**
Risorse della scheda **12**
RS 232 **10**, **20**, **22**, **26**, **36**, **50**
RS 422 **10**, **13**, **20**, **22**, **36**, **50**
RS 485 **10**, **13**, **20**, **22**, **36**, **52**
RTC **15**, **46**, **48**, **66**, **B-4**
RUN **9**, **66**

S

Schema
  A/D **31**
  CAN **33**
  PPI 82C55 **17**
  seriali **27**
Schema a blocchi **7**
Schemi elettrici **A-1**
Segnalazioni visive **41**
Segnali controllo **58**
Serigrafie **21**, **47**
Sicurezza **1**
SJA 1000 **10**, **70**
Software **56**
Sovratensioni **48**
SPA 01 **84**
Specifiche tecniche **12**
SRAM **6**, **12**, **53**, **58**, **66**
Stampante **41**, **52**, **A-1**
SW SCL **15**, **64**, **65**, **66**
SW SDA **15**, **64**, **65**, **66**

T

Tarature **39**
Temperatura **13**
Tempo conversione A/D **12**
Tempo d'accesso **12**
Tempo intervento watch dog **49**

Tensione di alimentazione **13**
Test point **39**
TMR CNT **5**, **18**, **48**
Trimmer **35**
TTL **36**

U

Umidità **13**

V

Versione firmware **3**
Vibrazioni **39**
Vref **39**

W

Watch dog **44**, **49**